



5. Fonction Synthèse de Fréquence

5.1 Introduction

Les boucles à verrouillage de phase, plus connues sous le nom de PLL (*phase locked loop*) ont été inventées en 1932 par le français H. de Bellescise. Comme beaucoup de systèmes électroniques elles ont du attendre le développement des circuits LSI (*Large Scale Integration*) pour devenir une réalité. Les boucles à verrouillage de phase sont des systèmes bouclés dans lesquels les grandeurs d'entrée et de sortie sont asservies en phase. Elle trouvent de nombreuses applications dans de nombreux domaines, et sont présentes dans de nombreux équipements modernes :

- Récepteurs FM et TV ;
- Emetteur /récepteur CB (*Citizen Band*) : communication libre à 27MHz ;
- Décodeurs TV numériques ;
- Magnétoscopes ;
- Modems téléphoniques et câbles ;
- Téléphones GSM ...

Dans une partie de ces applications, les PLL sont utilisées pour réaliser un oscillateur à pas variable dont la fréquence est très stable. Cette fonction correspond à de la synthèse de fréquence.

5.2 La boucle à verrouillage de phase (PLL)

5.2.1 Principe de fonctionnement d'une PLL

Organisation d'une PLL

La figure 5.2.1 représente le schéma bloc d'une PLL. Sur ce schéma on trouve les trois éléments constituant une PLL :

- un comparateur de phase ;
- un filtre passe bas ;
- un oscillateur commandé en tension ou VCO (*Voltage Controlled Oscillator*).

Avant de décrire plus en détails le fonctionnement et l'utilité de chacun de ces éléments, nous allons faire quelques rappels sur la notion de déphasage.

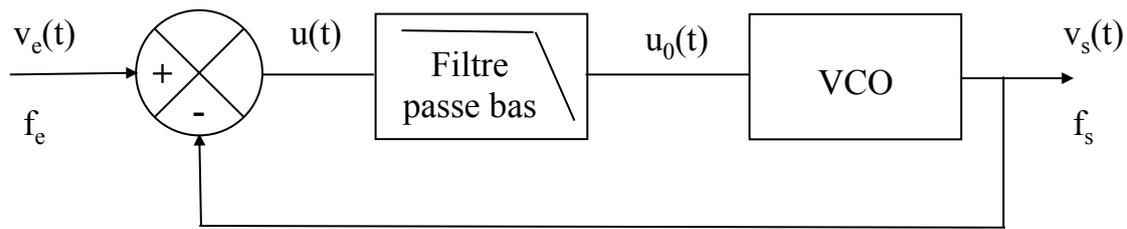


FIGURE 5.2.1 – Schéma bloc d'une PLL.

Rappels sur le déphasage de signaux alternatifs

Généralités :

On considère un signal sinusoïdal de la forme :

$$v = V \sin(\varphi(t)), \quad (5.2.1)$$

pour lequel, $\varphi(t)$ représente la **phase instantanée** par rapport à une référence. A partir de l'évolution temporelle de cette grandeur, on peut définir la **pulsation instantanée** :

$$\omega(t) = \frac{d\varphi(t)}{dt}. \quad (5.2.2)$$

Plusieurs cas particuliers peuvent se présenter :

- signal à fréquence fixe f_0 : $v = V \sin(\omega_0 t + \varphi)$;
- signal modulé en fréquence : $v = V \sin((\omega_0 + 2\pi f(t))t)$, où $f(t)$ est une fonction qui représente l'évolution de la fréquence.

Déphasage de deux signaux :

Pour deux signaux sinusoïdaux de même fréquence :

$$v_1 = V_1 \sin(\varphi_1(t)), \quad (5.2.3)$$

$$v_2 = V_2 \sin(\varphi_2(t)), \quad (5.2.4)$$

le déphasage $\varphi(t) = \varphi_1(t) - \varphi_2(t)$ devient :

$$\varphi(t) = (\omega_0 t + \varphi_1) - (\omega_0 t + \varphi_2) = \varphi_1 - \varphi_2. \quad (5.2.5)$$

On constate que le déphasage est constant dans ce cas.

Pour des signaux v_1 et v_2 de fréquences différentes :

$$v_1 = V_1 \sin(\omega_1 t + \varphi_1), \quad (5.2.6)$$

$$v_2 = V_2 \sin(\omega_2 t + \varphi_2), \quad (5.2.7)$$

le déphasage $\varphi(t)$ s'écrit :

$$\varphi(t) = (\omega_1 t + \varphi_1) - (\omega_2 t + \varphi_2) = (\omega_1 - \omega_2)t + \varphi_1 - \varphi_2. \quad (5.2.8)$$

Le déphasage n'est plus constant. On est en présence d'un battement.

Notons que par abus de langage on parlera de déphasage de signaux rectangulaires. On devrait plutôt parler de décalage temporel dans ce cas.

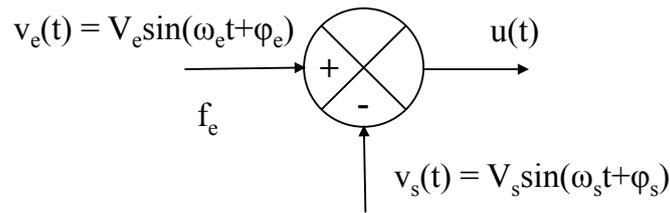


FIGURE 5.2.2 – Schéma bloc d'un comparateur de phase.

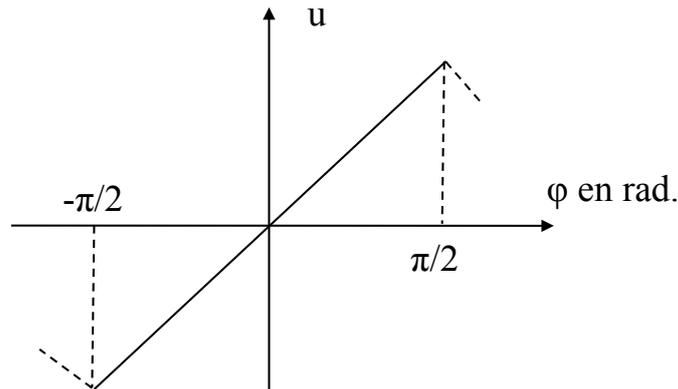


FIGURE 5.2.3 – Fonction de transfert idéale d'un comparateur de phase.

Le comparateur de phase

Le comparateur de phase a pour rôle de comparer la phase de deux signaux alternatifs (ou assimilés) et de fournir une tension d'erreur $u(t)$ proportionnelle à leur déphasage φ lorsque la boucle est verrouillée (cas pour lequel $f_s = f_e$, comme on le verra ultérieurement). Son schéma bloc est donné sur la figure 5.2.2.

Quelque soit la technologie utilisée, le comparateur de phase génère une tension u de la forme :

$$u = K_d f(\varphi_s - \varphi_e), \quad (5.2.9)$$

où f est une fonction de la différence de phase $\varphi_s - \varphi_e$ du signal d'entrée et du signal de sortie issu de l'oscillateur.

Le comparateur de phase idéal devrait avoir une caractéristique linéaire telle que celle représentée sur la figure 5.2.3. Pour ce comparateur le terme K_d appelé sensibilité du comparateur s'exprime en $V.rad^{-1}$.

Le filtre passe bas

Le comparateur de phase délivre une tension $u(t)$, riche en harmoniques ou en signaux indésirables, et inutilisable pour contrôler directement un oscillateur commandé en tension. Afin de ne conserver que la composante continue u_0 on introduit dans la chaîne un filtre passe bas. Cette composante continue u_0 est fonction du déphasage φ entre v_e et v_s . Dans le cas idéal, son évolution sera celle présentée sur la figure 5.2.4.

Comme dans tout système bouclé, la réponse globale du système va dépendre de la fonction de transfert de chacun des éléments, donc ici du filtre. Le choix du filtre est essentiel, mais complexe : les fréquences indésirables doivent être éliminées tout en tenant compte des critères classiques dans les systèmes bouclés, à savoir la notion de précision et de stabilité. Les filtres peuvent être passifs ou actifs. La fonction de transfert $F(p)$ d'un filtre s'exprime en volt par volt. La figure 5.2.5 donne quelques exemples de filtres passifs passe-bas souvent utilisés.

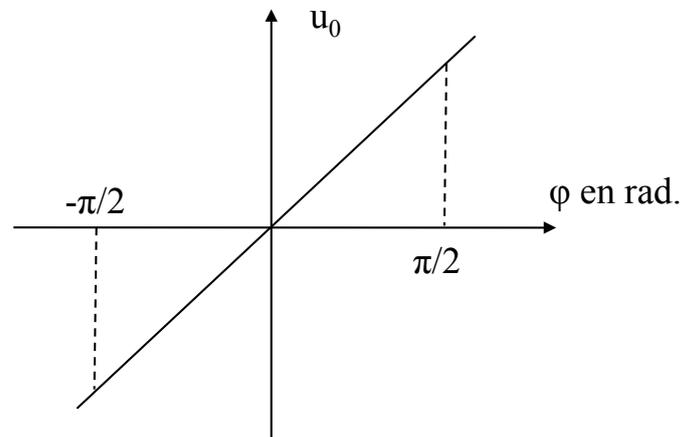


FIGURE 5.2.4 – Evolution de la tension u_0 en sortie du filtre passe-bas de la PLL en fonction du déphasage.

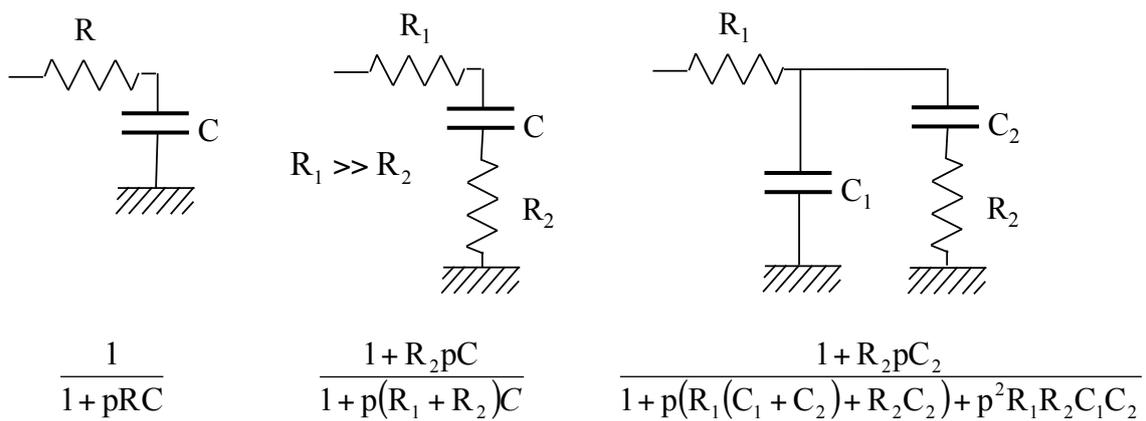


FIGURE 5.2.5 – Exemples de filtres passifs souvent utilisés dans les PLL.

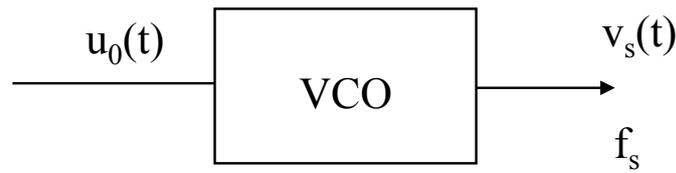


FIGURE 5.2.6 – Schéma bloc d'un oscillateur commandé en tension ou VCO (Voltage Controlled Oscillator).

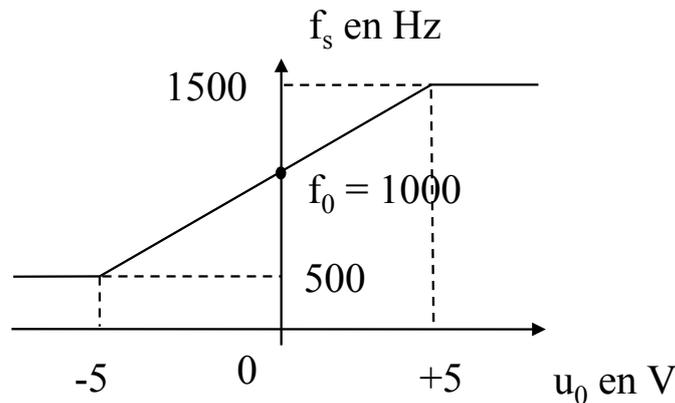


FIGURE 5.2.7 – Evolution de la fréquence de sortie d'un VCO en fonction de la tension de commande u_0 .

Quant aux filtres actifs utilisables, ils sont nombreux. Leur choix dépend du type de PLL, en particulier du comparateur de phase de celle-ci. Chaque élément d'une boucle fermée influant sur les performances de l'ensemble, les constructeurs préconisent souvent tel ou tel type de filtre pour obtenir un fonctionnement immédiat et sans problème.

L'oscillateur commandé en tension

L'oscillateur commandé en tension fournit une tension alternative dont la fréquence varie linéairement avec la tension de commande u_0 , comme l'indique la figure 5.2.6.

La fréquence centrale de cet oscillateur est choisie généralement pour une tension de commande placée au milieu de la tension d'alimentation, *g.e.* 0 V pour une PLL alimentée par $\pm V$ (figure 5.2.7), ou $\frac{V}{2}$ pour une PLL alimentée par une source unique.

La fréquence de sortie f_s est telle que :

$$f_s = f_0 + K_0 u_0, \quad (5.2.10)$$

où K_0 est la sensibilité du VCO qui s'exprime en Hz V^{-1} .

La plage de fonctionnement du VCO peut être très grande. La fréquence centrale est obtenue par un choix judicieux d'éléments R et C et de la tension d'alimentation. Les constructeurs donnent des abaques (voir Exercice 1 du TD 4). La réalisation de cet oscillateur dépend de la famille de PLL que l'on considère : analogique ou numérique. De nombreuses solutions existent comme nous le verrons ultérieurement.

Fonctionnement à fréquence d'entrée variable

Cas d'une tension d'entrée nulle :

Pour une tension d'entrée v_e nulle l'oscillateur oscille sur sa fréquence centrale f_0 . En effet, la différence de phase entre v_e et v_s est $2\pi f_0 t$. Le filtre passe bas supposé parfait élimine cette composante entraînant ainsi $u_0 = 0$, et le système reste dans le même état. Il en est de même pour une valeur continue de v_e . **Le VCO d'une PLL bouclée sur laquelle la tension est nulle oscille sur sa fréquence centrale.**

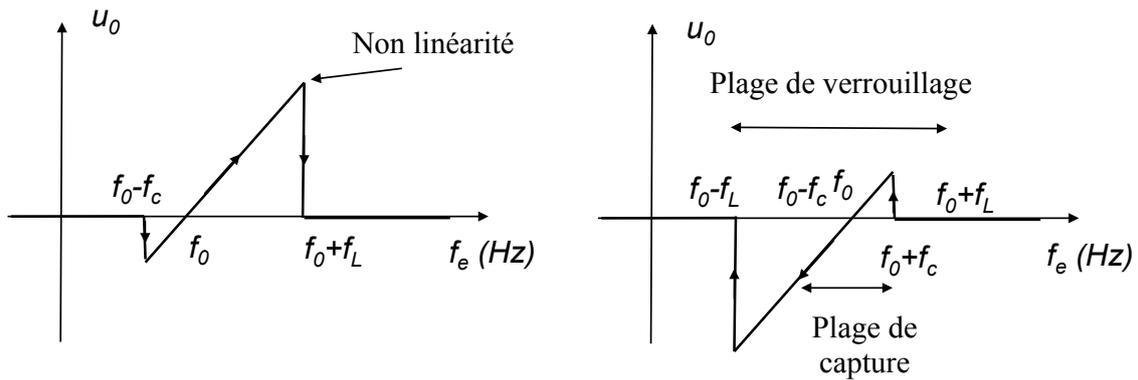


FIGURE 5.2.8 – Définition des plages de verrouillage et de capture d'une PLL.

Cas d'une tension d'entrée sinusoïdale :

La PLL oscille sur sa fréquence centrale quand on applique une tension sinusoïdale :

$$v_e = V_e \cos \omega_e t. \quad (5.2.11)$$

Ainsi, le VCO oscille sur sa fréquence centrale :

$$v_s = V_s \cos \omega_s t = V_e \cos \omega_0 t. \quad (5.2.12)$$

En sortie du comparateur on a alors :

$$u(t) = V_e \cos(\omega_e t) V_s \cos(\omega_0 t) = \frac{V_e V_s}{2} (\cos((\omega_e - \omega_0)t) + \cos((\omega_e + \omega_0)t)). \quad (5.2.13)$$

Ainsi, le comparateur de phase donne un signal constitué de deux composantes aux fréquences $f_0 + f_e$ et $f_0 - f_e$. Plusieurs cas peuvent se produire.

- Ces deux composantes sont éliminées par le filtre passe bas supposé parfait. Dans un tel cas u_0 reste nulle. La sortie du VCO reste à f_0 .
- La fréquence différence entre dans la bande passante du filtre. Dans ce cas u_0 devient une composante variable inférieure à f_c , la fréquence du VCO est modifiée de telle sorte que l'écart $f_e - f_s$ diminue. La tension u_0 présente une moyenne qui tend vers la tension pour laquelle la fréquence de sortie est égale à celle d'entrée. La boucle est alors verrouillée. Si f_s tend à s'écarter de f_e alors la différence u_0 tend à ramener la fréquence de sortie sur celle d'entrée si l'asservissement est fait.

Une fois la boucle verrouillée, il est possible de faire varier la fréquence d'entrée. La boucle suit la fréquence d'entrée. Le déverrouillage a lieu, avec l'hypothèse d'un filtre parfait, lorsque l'on atteint les non linéarités des composants, et tout particulièrement les limites de fonctionnement du VCO. La figure 5.2.8 (à gauche) illustre le fonctionnement précédemment décrit dans le cas des fréquences croissantes.

Pour les fréquences décroissantes on a un fonctionnement similaire. Tant que le battement $f_0 - f_e$ n'est pas dans la bande passante du filtre, la sortie reste à la fréquence centrale. Lorsque la différence $|f_e - f_0|$ entre dans la bande passante du filtre la boucle se verrouille. Dès que la capture est faite f_s suit f_e jusqu'à ce que les non linéarités déverrouillent la PLL. On a alors le même diagramme (5.2.8 à droite) que pour les fréquences croissantes.

Dans le cas d'un filtre réel, il y aura quelques variations par rapport à cette approche simplifiée, et il faudra prendre en compte l'influence du gain statique, les pentes du filtre, etc...

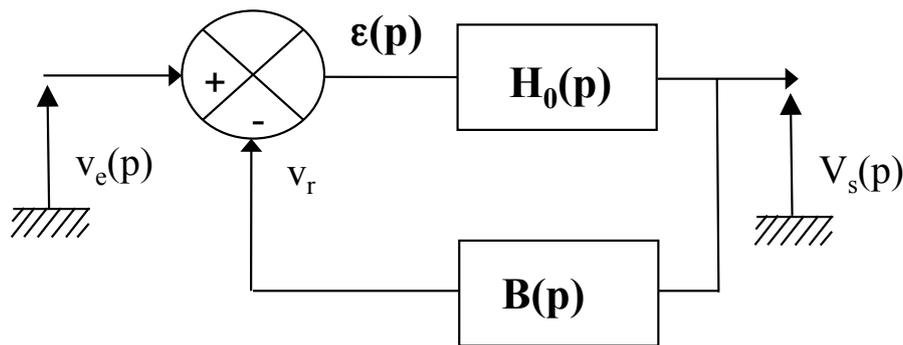


FIGURE 5.2.9 – Schéma bloc d'une boucle à verrouillage de phase.

Plages de verrouillage et de capture :

Nous venons de voir que l'asservissement ne peut être obtenu pour n'importe quelle fréquence et n'importe quel sens d'approche. On définit généralement deux plages de fonctionnement

- **La plage de verrouillage** ($2f_L$) : La plage de verrouillage correspond à l'écart de fréquence par rapport à la fréquence centrale du VCO à partir duquel la PLL se déverrouille.
- **La plage de capture** : Elle correspond à l'écart de fréquence par rapport à la fréquence centrale du filtre à partir duquel la boucle se verrouille.

La plage de capture, comme nous pouvons le voir sur la figure 5.2.8, est beaucoup plus petite que la plage de maintien (ou de verrouillage).

Il est important de noter que lors d'un saut de phase ou de fréquence la boucle va mettre un certain temps pour permettre le processus d'accrochage. Ce temps est fonction des caractéristiques de la chaîne, et tout particulièrement du filtre passe bas. Ce temps est appelé le **pull in time** t_p .

5.2.2 Etude quantitative d'une PLL

Dans cette partie, nous allons étudier d'une manière plus quantitative le fonctionnement d'une PLL. Afin que les calculs ne soient pas trop complexes, nous nous limiterons au cas des deux premiers filtres passe bas passifs de la figure 5.2.5.

En considérant le schéma bloc de la PLL de la figure 5.2.9 on voit que la fonction de transfert en boucle fermée de la PLL peut s'écrire :

$$H(p) = \frac{H_0(p)}{1 + H_0(p)B(p)}. \quad (5.2.14)$$

En considérant les fonctions de transfert des trois éléments de la PLL décrites précédemment nous pouvons établir le schéma équivalent de la PLL de la figure 5.2.10. Pour établir ce schéma équivalent on a utilisé le fait que la pulsation instantanée est égale à la dérivée de la phase, $\omega = \frac{d\phi}{dt}$. Ceci conduit, en utilisant la transformée de Laplace, à :

$$\omega(p) = p\phi(p). \quad (5.2.15)$$

On rappelle que K_d est la sensibilité du comparateur, $F(p)$ la fonction de transfert du filtre, et K_0 la sensibilité du VCO.

Fonction de transfert de la chaîne directe

La fonction de transfert en boucle ouverte de la PLL est donnée par :

$$H_0(p) = \frac{K_0 K_d F(p)}{p}. \quad (5.2.16)$$

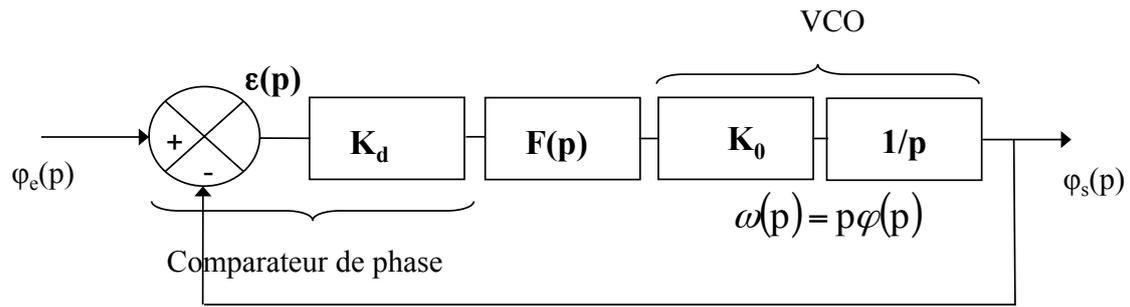


FIGURE 5.2.10 – Schéma équivalent d'une boucle à verrouillage de phase.

Cette fonction de transfert devient dans le cas d'un filtre RC :

$$H_0(p) = \frac{K_0 K_d}{p(1 + \tau p)}, \quad (5.2.17)$$

où $\tau = RC$. Dans le cas où on utilise un filtre réseau $R_1 R_2 C$ on a alors :

$$H_0(p) = \frac{K_0 K_d (1 + \tau_1 p)}{p(1 + \tau_2 p)}, \quad (5.2.18)$$

où $\tau_1 = R_1 C$ et $\tau_2 = (R_1 + R_2) C$.

Fonction de transfert du système bouclé

Pour le filtre RC, en introduisant la fonction de transfert en boucle ouverte de 5.2.17 dans l'expression 5.2.14, on obtient la fonction de transfert en boucle fermée du système sous la forme :

$$H(p) = \frac{1}{1 + 2z \frac{p}{\omega_0} + \frac{p^2}{\omega_0^2}}, \quad (5.2.19)$$

avec

$$\omega_0 = \sqrt{\frac{K_d K_0}{\tau}} \quad (5.2.20)$$

et

$$z = \frac{1}{2\sqrt{K_d K_0 \tau}}. \quad (5.2.21)$$

Le principal inconvénient d'utiliser un simple filtre RC est que l'on ne peut pas régler séparément la fréquence propre ω_0 et le coefficient d'amortissement z .

Pour palier à ce problème on utilise généralement un filtre réseau $R_1 R_2 C$ pour lequel on a en introduisant 5.2.18 dans 5.2.14 :

$$H(p) = \frac{1 + \tau_1 p}{1 + 2z \frac{p}{\omega_0} + \frac{p^2}{\omega_0^2}}, \quad (5.2.22)$$

avec

$$\omega_0 = \sqrt{\frac{K_d K_0}{\tau_1 \tau_2}} \quad (5.2.23)$$

et

$$z = \frac{1}{2} \left(\tau_1 + \frac{1}{K_d K_0} \right) \omega_0. \quad (5.2.24)$$

Stabilité

Un système bouclé sera stable si ce système revient à sa position d'équilibre dès qu'on l'en écarte. Il existe un grand nombre de méthodes permettant de prouver la stabilité d'un système bouclé. Parmi celles-ci on peut citer :

- Si l'un des pôles (ou sa partie réelle) de la fonction de transfert du système est positif, alors le système est instable ;
- Si le lieu de Niquist en boucle ouverte passe à gauche ou sur le point -1, alors le système est instable ;
- Si sur le diagramme de Bode en boucle ouverte le point d'amplitude 1 a une phase inférieure à $-\pi$, alors le système est instable.

Dans le cas de la boucle à verrouillage de phase, le filtre de boucle doit être choisi de sorte à vérifier ces critères de stabilité. Ainsi, pour le filtre RC la boucle sera d'autant plus stable que le coefficient d'amortissement z sera grand, c'est-à-dire lorsque la constante de temps τ sera petite. Malheureusement, dans ce cas, la fréquence de coupure du filtre qui est proportionnelle à $\frac{1}{\tau}$ sera d'autant plus grande. Par contre, pour un filtre réseau $R_1 R_2 C$, on peut augmenter τ_1 afin de préserver la stabilité du système, tout en prenant τ_2 suffisamment petit afin de conserver la bande passante souhaitée.

Précision de la PLL

La précision de la réponse de la PLL à un échelon est définie comme étant la limite quand $t \rightarrow \infty$ de l'erreur de :

$$\Delta\varphi = \varphi_e(t) - \varphi_s(t). \quad (5.2.25)$$

Or, d'après le théorème de Laplace, on a :

$$\lim_{t \rightarrow \infty} \Delta\varphi(t) = \varphi_e(t) - \varphi_s(t) = \lim_{p \rightarrow 0} (\varphi_e(p) - \varphi_s(p)) p, \quad (5.2.26)$$

soit

$$\lim_{p \rightarrow 0} \left(1 - \frac{K_0 K_d F(p)}{p + K_0 K_d F(p)} \right) p \varphi_e(p) = \lim_{p \rightarrow 0} \frac{p^2 \varphi_e}{p + K_0 K_d F(p)}. \quad (5.2.27)$$

Erreur statique :

L'erreur statique est l'erreur de phase consécutive à un échelon de phase, soit :

$$\varphi_e(p) = \frac{\Delta\varphi}{p}. \quad (5.2.28)$$

On obtient donc à partir de 5.2.27 :

$$\lim_{p \rightarrow 0} \frac{p \Delta\varphi}{p + K_0 K_d F(p)} = 0. \quad (5.2.29)$$

L'erreur statique d'une PLL est donc nulle quelque soit son filtre de boucle.

Erreur dynamique (vitesse) :

C'est l'erreur de phase en réponse à une variation linéaire de phase, comme le montre la figure 5.2.11 (en haut) :

$$\omega(p) = \frac{\Delta\omega}{p}. \quad (5.2.30)$$

Sachant que :

$$\omega(p) = p\varphi(p), \quad (5.2.31)$$

$$\varphi_e(p) = \frac{\omega_e}{p} = \frac{\Delta\omega}{p^2}, \quad (5.2.32)$$

l'erreur dynamique est égale à :

$$\lim_{p \rightarrow 0} \frac{\Delta\omega}{p + K_0 K_d F(p)} = \frac{\Delta\omega}{K_0 K_d F(0)}, \quad (5.2.33)$$

où $F(0)$ est le gain statique du filtre. On peut donc en conclure que l'erreur de la PLL dépend des gains du comparateur, du filtre et du VCO.

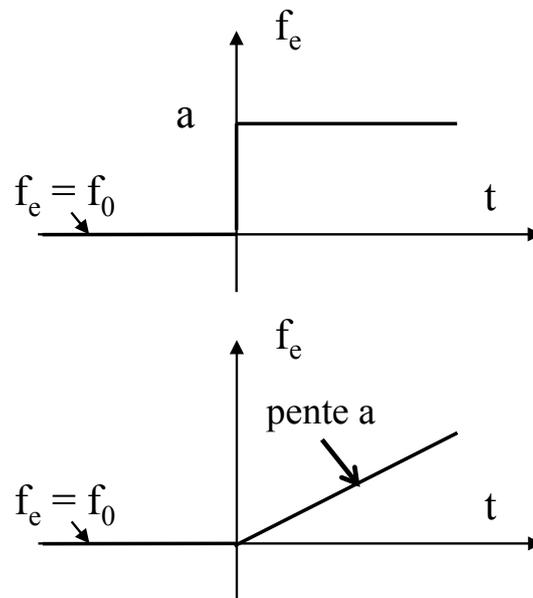


FIGURE 5.2.11 – Evolution de la fréquence d'entrée f_e utilisée pour le calcul de l'erreur de position (en haut) et de vitesse (en bas).

Le choix de l'amortissement z influe sur les performances de la PLL. Il faut toujours faire un compromis entre les grandeurs suivantes :

- optimisation à un saut de phase ;
- optimisation à un saut de fréquence ;
- optimisation de l'erreur de phase due à une modulation ;
- optimisation à une rampe de fréquence.

Un bon compromis consiste à choisir $z=1$ et $\omega_0 = \frac{\omega_c}{10}$.

5.2.3 Technologies des PLL

Certaines PLL sont dites analogiques, d'autres semi-numériques, voir numériques. Les PLL sont regroupées en famille, le classement est lié à la technologie des éléments constitutifs. Les PLL analogiques admettent à leur entrée des signaux sinusoïdaux. Les PLL numériques admettent à leur entrée des signaux impulsionnels.

Le comparateur de phase

Comparateurs de phase analogiques :

Les comparateurs à multiplieurs analogiques : Les multiplieurs sont des circuits qui délivrent une tension de sortie proportionnelle au produit des signaux appliqués à l'entrée. Pour des tensions sinusoïdales $V_e(t) = V_e \sin(\omega_e t)$ et $V_s(t) = V_s \sin(\omega_s t + \phi)$ appliquées respectivement sur chacune

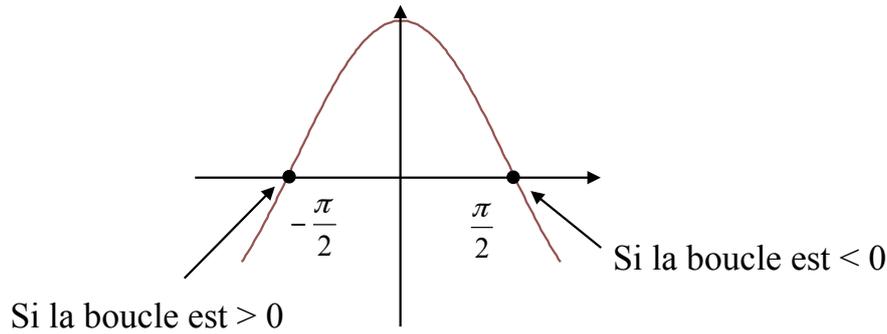


FIGURE 5.2.12 – Evolution de u_0 en fonction du déphasage pour un multiplieur analogique.

des entrées du multiplieur, le signal de sortie $u(t)$ s'écrit :

$$u(t) = kV_e(t)V_s(t) = k\frac{V_eV_s}{2}(\cos(\omega_e - \omega_s + \varphi) - \cos(\omega_e + \omega_s + \varphi)). \quad (5.2.34)$$

Quand la boucle est verrouillée ω_e et ω_s sont identiques et :

$$u(t) = k\frac{V_eV_s}{2}(\cos\varphi - \cos(2\omega_e t + \varphi)). \quad (5.2.35)$$

La présence d'un filtre passe bas permet d'éliminer la composante à la pulsation $2\omega_e$, et le signal de sortie devient :

$$u_0 = k\frac{V_eV_s}{2}\cos\varphi. \quad (5.2.36)$$

L'évolution de u_0 en fonction du déphasage est donné sur la figure 5.2.12. Pour une telle boucle le déphasage est de $\frac{\pi}{2}$ entre l'entrée et la sortie. On est donc amené à reprendre les calculs en considérant que le signal d'entrée et le signal de retour sont en quadrature lorsque la boucle est verrouillée, et que le signal d'entrée a une fréquence égale à la fréquence centrale f_0 du VCO. On notera donc φ le déphasage excédentaire par rapport à $\frac{\pi}{2}$. Dans ce cas :

$$u(t) = kV_e \sin(\omega_0 t) V_s \cos(\omega_0 t + \varphi), \quad (5.2.37)$$

soit

$$u(t) = k\frac{V_eV_s}{2}(-\sin\varphi + \cos(2\omega_e t + \varphi)). \quad (5.2.38)$$

Le terme de haute fréquence est éliminé par le filtre passe bas, laissant :

$$u_0 = -K_d \sin\varphi, \quad (5.2.39)$$

où $K_d = \frac{k}{2}V_eV_s$ est la sensibilité du multiplieur. Un tel comparateur n'est pas linéaire sur toute la caractéristique. Pour une PLL verrouillée au voisinage de la fréquence centrale du VCO. φ étant petit on a :

$$\sin\varphi = \varphi + \frac{\varphi^3}{3} + \dots \simeq \varphi, \quad (5.2.40)$$

et la relation 5.2.39 devient :

$$u_0 = -K_d \varphi, \quad (5.2.41)$$

Différents principes de multiplieurs existent. Un des plus connu est le multiplieur à amplificateur différentiel, dont un exemple est donné sur la figure 5.2.13.

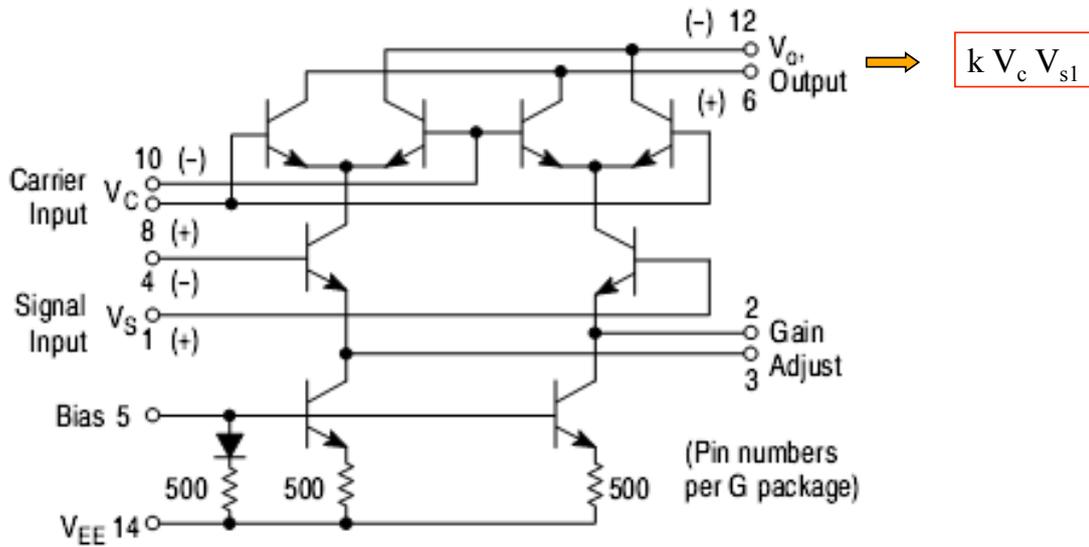


FIGURE 5.2.13 – Exemple de multiplieur à amplificateur différentiel.

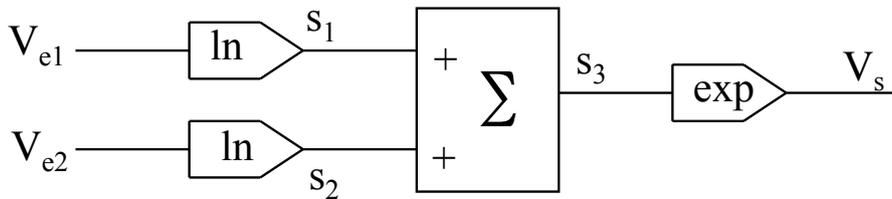


FIGURE 5.2.14 – Réalisation d'un multiplieur à l'aide de fonction logarithmique et exponentielle, et d'un sommateur.

On peut aussi utiliser le fait que :

$$V_{e1} \times V_{e2} = e^{\ln V_{e1} + \ln V_{e2}} \tag{5.2.42}$$

On réalisera alors le montage de la figure 5.2.14. Dans ce cas, les fonctions logarithme et exponentielle peuvent être réalisées à l'aide des montages à amplificateur opérationnel vus dans le Chapitre 1.

Les multiplieurs à découpage : Le principe de fonctionnement d'un multiplieur à découpage est donné sur la figure 5.2.15. Un interrupteur est commandé par un signal rectangulaire à la même fréquence f_0 que le signal d'entrée.

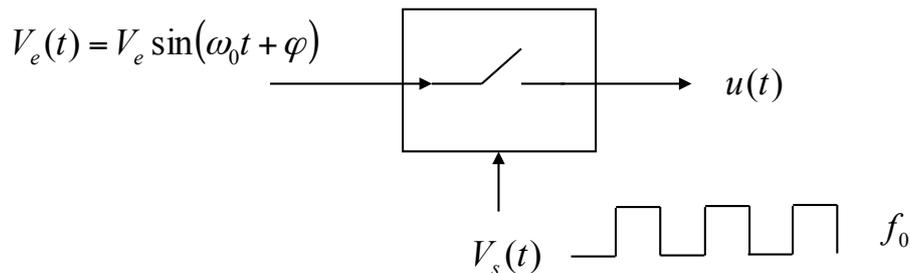


FIGURE 5.2.15 – Schéma de principe d'un multiplieur à découpage.

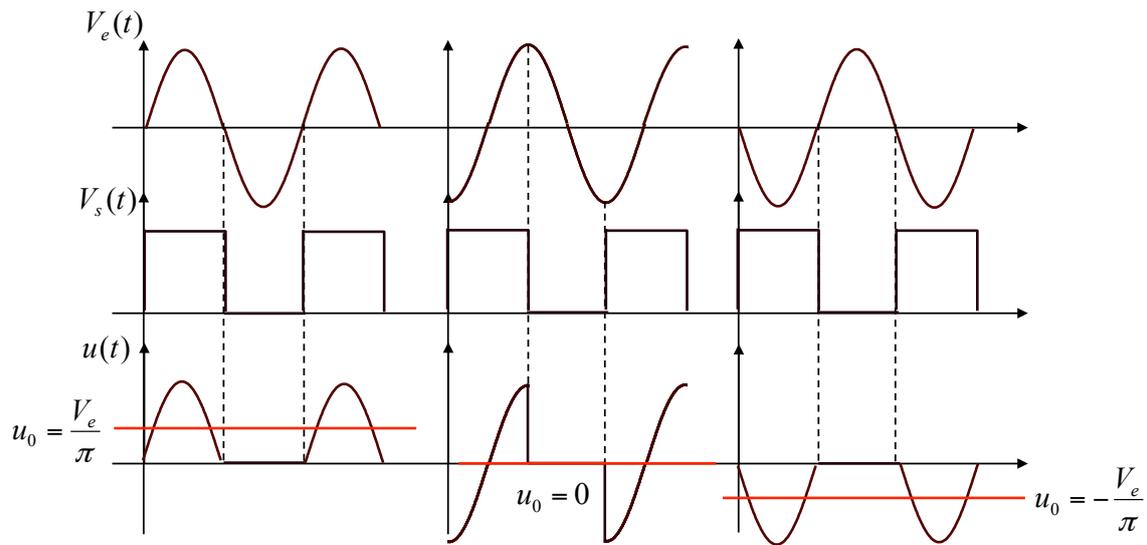


FIGURE 5.2.16 – Evolution temporelle des signaux d'entrée V_e et V_s , et de sortie $u(t)$ pour trois valeurs de déphasage, 0 , $\frac{\pi}{2}$ et π , pour un multiplieur à découpage.

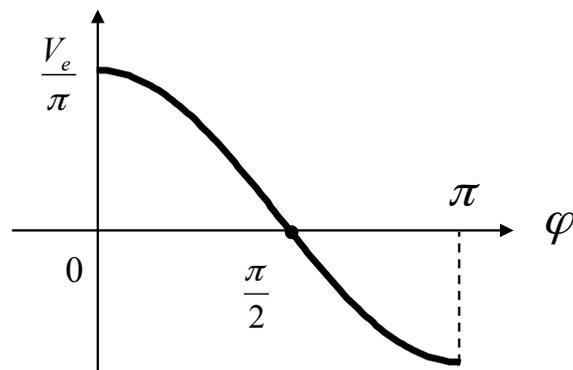


FIGURE 5.2.17 – Evolution de u_0 en fonction du déphasage pour un multiplieur à découpage.

En fonction du déphasage entre les deux signaux, le signal de sortie change de forme comme le montre la figure 5.2.16.

La tension de sortie est égale à V_e quand le créneau est à l'état haut, et zéro quand le créneau est à l'état bas. Ainsi :

$$u(t) = V_e \sin(\omega_0 t + \varphi) \left[\frac{1}{2} + \frac{2}{\pi} \sin \omega_0 t - \frac{1}{6\pi} \sin 3\omega_0 t \right]. \quad (5.2.43)$$

Après le filtre passe bas, il reste alors :

$$u_0 = \frac{V_e}{\pi} \cos \varphi. \quad (5.2.44)$$

La boucle se verrouille pour un déphasage entre le signal d'entrée et le signal de sortie de $\frac{\pi}{2}$, comme le montre la courbe d'évolution de u_0 en fonction du déphasage (figure 5.2.17).

Comparateurs de phase numériques :

Le comparateur à OU EXCLUSIF : On peut utiliser une fonction OU EXCLUSIF pour réaliser un comparateur de phase (figure 5.2.18). En appliquant la table de vérité pour un tel circuit à des

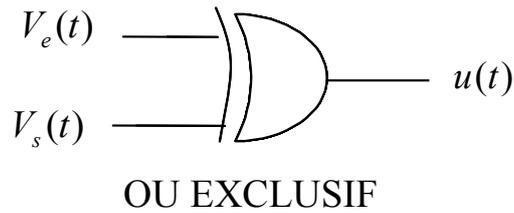
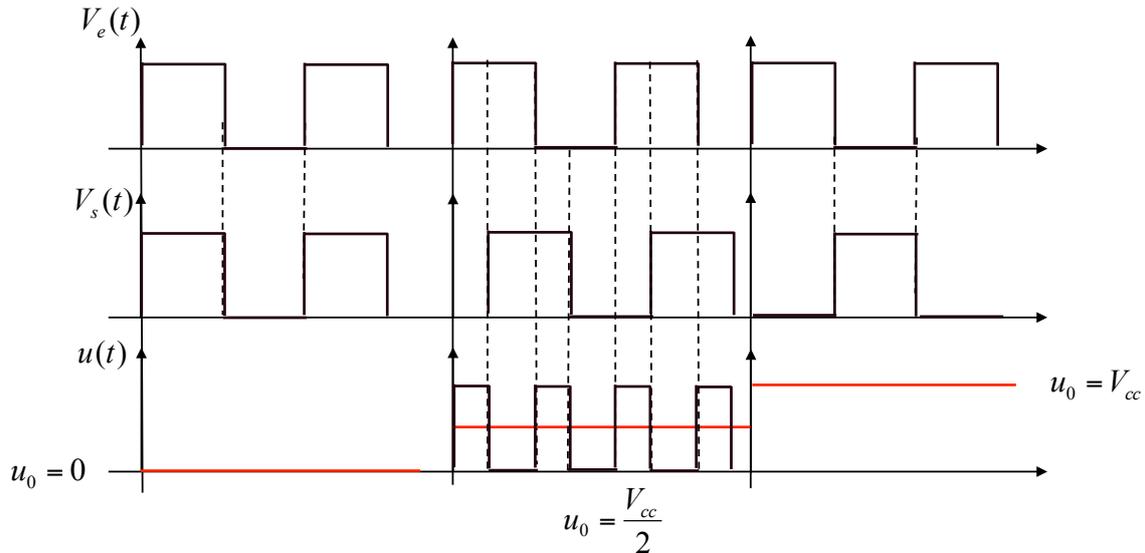


FIGURE 5.2.18 – Comparateur de phase à OU EXCLUSIF.

FIGURE 5.2.19 – Evolution temporelle des signaux d'entrée V_e et V_s , et de sortie $u(t)$ pour trois valeurs du déphasage, 0 , $\frac{\pi}{2}$ et π , pour un comparateur de phase à OU EXCLUSIF.

signaux d'entrée et de sortie en forme de créneaux, on obtient en sortie les signaux représentés sur la figure 5.2.19, pour les trois valeurs de déphasage 0 , $\frac{\pi}{2}$, et π .

Si les signaux sont en phase alors $u(t)$ sera nulle, et si les signaux sont en opposition de phase $u(t)$ sera toujours à l'état haut, la tension moyenne sera égale à V_{cc} . Pour des signaux dont le déphasage est différent, la valeur moyenne évoluera entre 0 et V_{cc} , comme le montre la figure 5.2.20. Ainsi, lorsque les signaux sont déphasés de $\frac{\pi}{2}$ la valeur moyenne est égale à $\frac{V_{cc}}{2}$. La sensibilité K_d d'un tel comparateur sera alors :

$$K_d = \frac{V_{cc}}{\pi}. \quad (5.2.45)$$

La fréquence centrale de la PLL correspondra à une tension statique de $\frac{V_{cc}}{2}$, et le déphasage entre l'entrée et la sortie sera de $\frac{\pi}{2}$ quand f_e sera égale à f_0 .

Ce comparateur présente néanmoins quelques inconvénients. Les signaux d'entrée doivent avoir un rapport cyclique constant de 50 %. Il peut également se verrouiller sur de fréquences multiples ou sous multiples.

Le comparateur à bascule RS : Pour remédier à ces inconvénients on peut utiliser des comparateurs à basculement sur les fronts des signaux v_e et v_s , c'est-à-dire des composants d'électronique numérique séquentielle. La bascule RS, dont le schéma interne est donné dans la figure 5.2.21, en est un exemple.

Pour une telle bascule, l'évolution temporelle des signaux d'entrée V_e et V_s et de sortie $u(t)$ est donnée sur la figure 5.2.22. Ainsi, quand le déphasage est nul, u_0 vaut 0 , et vaut V_{cc} quand le

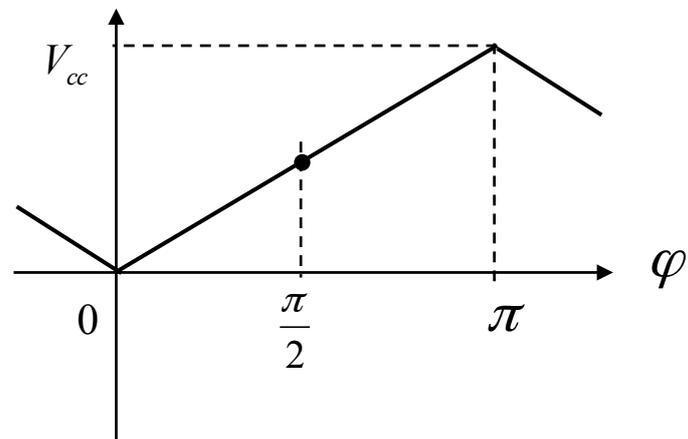


FIGURE 5.2.20 – Evolution de u_0 en fonction du déphasage pour un comparateur de phase à OU EXCLUSIF.

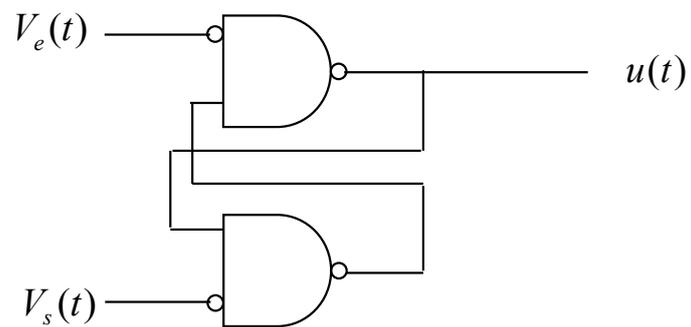


FIGURE 5.2.21 – Schéma interne d'une bascule RS.

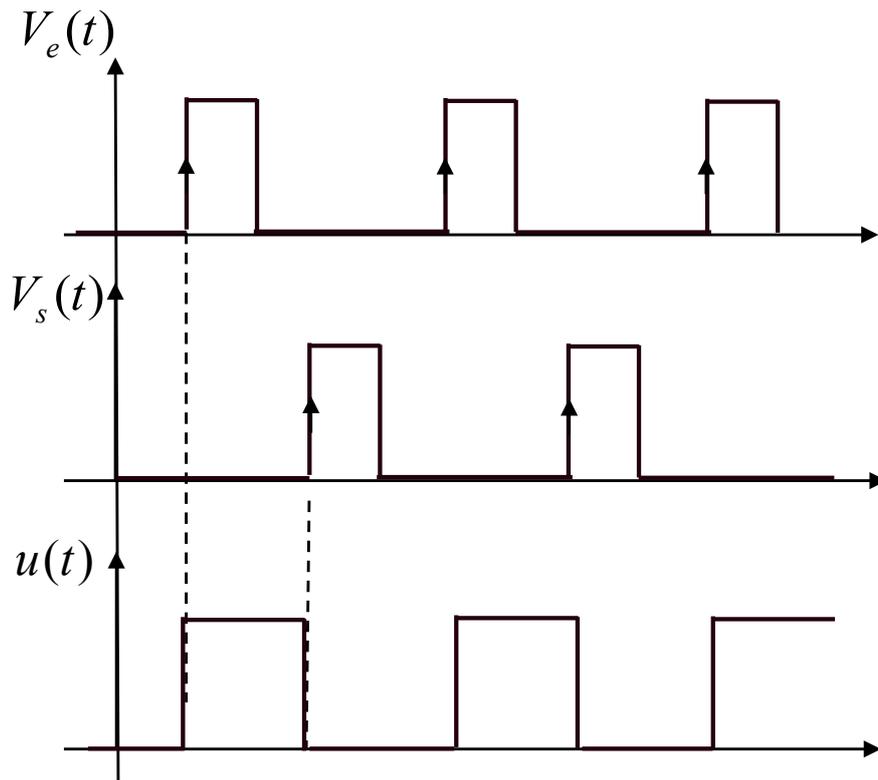


FIGURE 5.2.22 – Evolution temporelle des signaux d'entrée V_e et V_s , et de sortie $u(t)$ pour un comparateur de phase séquentiel.

déphasage passe à 2π , comme représenté sur la figure 5.2.23. La sensibilité K_d de ce comparateur de phase est de $\frac{V_{cc}}{2\pi}$.

Le comparateur à trois états : Le comparateur à trois états est constitué d'un réseau de mémoires. La sortie peut être à l'état haut ou à l'état bas en basse impédance, ainsi qu'à haute impédance, c'est-à-dire quasi déconnectée. Ce type de comparateur ne fonctionne que sur des fronts et est donc totalement indépendant du rapport cyclique des signaux d'entrée. Lorsque le verrouillage est établi, la sortie est en haute impédance. Lorsqu'une avance de phase est constatée sur V_s par rapport à V_e , la sortie est à V_{cc} et augmente la fréquence du VCO, comme le montre le graphique de gauche de la figure 5.2.24. Dans le cas contraire, la sortie est à zéro et fait diminuer la fréquence du VCO (graphe de droite de la figure 5.2.24). La fréquence de sortie est égale à celle de l'entrée, et la valeur moyenne du signal d'erreur (sortie du comparateur) est égale à $\frac{V_{cc}}{2}$. Comme le montre l'évolution de u_0 en fonction du déphasage, la sensibilité pour un tel comparateur sera égale à $K_d = \frac{V_{cc}}{4\pi}$. On rencontre ce type de comparateur dans la PLL 4046, qui inclue généralement aussi un comparateur à OU EXCLUSIF et un comparateur à bascule RS, comme l'indique la figure 5.2.26.

Les avantages et les inconvénients de l'ensemble des ces comparateurs de phase analogiques et numériques sont synthétisés dans le tableau de la figure 5.2.27.

Le filtre passe bas

Comme nous l'avons vu précédemment, le filtre est nécessaire afin de récupérer la composante continue ou basse fréquence du signal $u(t)$ issu du comparateur.

La fonction de transfert de la boucle est au moins du deuxième ordre, et est définie par trois éléments :

- le gain statique;

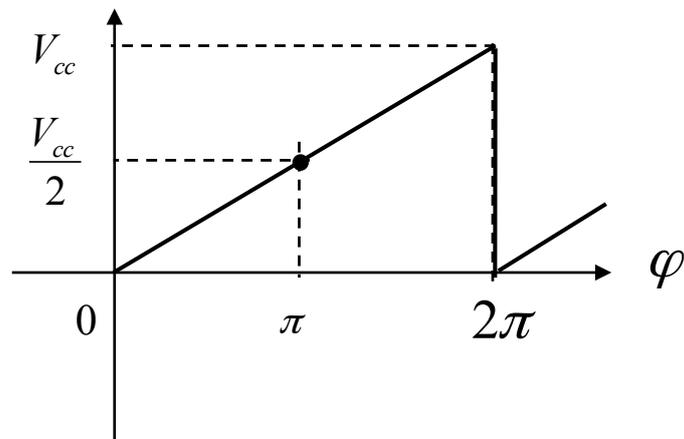


FIGURE 5.2.23 – Evolution de u_0 en fonction du déphasage pour un comparateur de phase séquentiel (bascule RS).

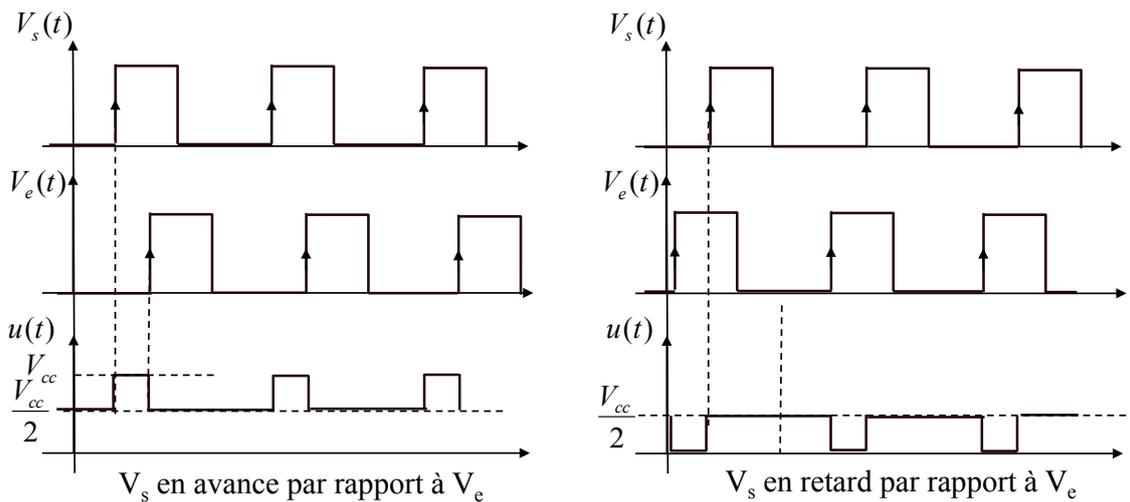


FIGURE 5.2.24 – Evolution temporelle des signaux d'entrée V_e et V_s , et de sortie $u(t)$ pour un comparateur de phase et de fréquence séquentiel. A gauche : V_s en avance de phase par rapport à V_e . A droite : V_s en retard de phase par rapport à V_e .

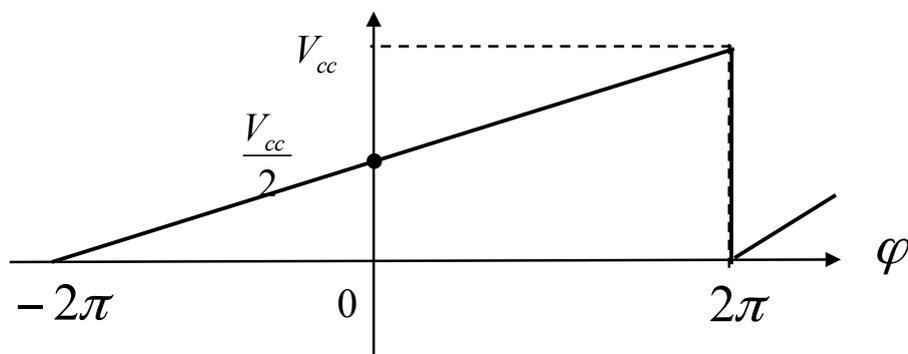


FIGURE 5.2.25 – Evolution de u_0 en fonction du déphasage pour un comparateur de phase et de fréquence séquentiel.

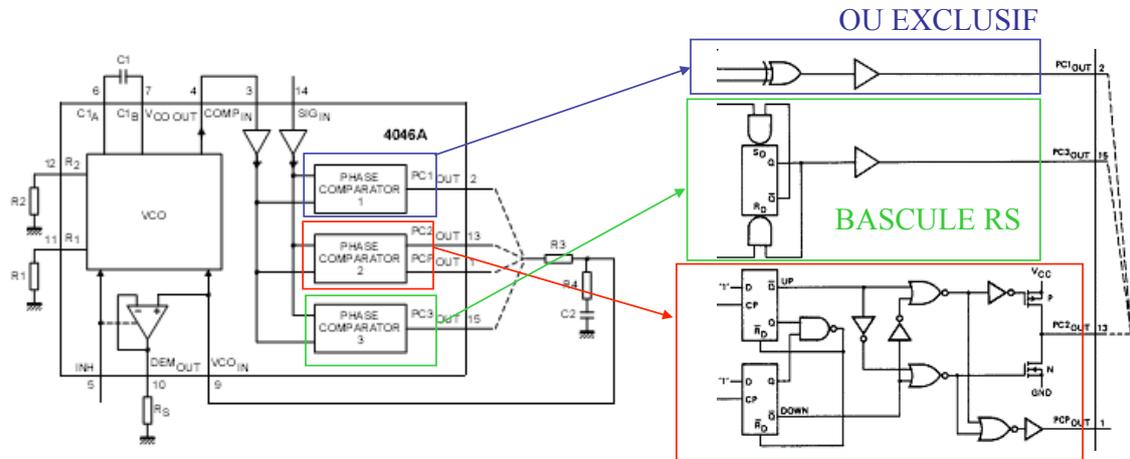


FIGURE 5.2.26 – Schéma interne d'une PLL 4046 (http://www.nxp.com/documents/data_sheet/74HC_HCT4046A_CNV.pdf).

	Multiplieurs linéaires	Multiplieurs à découpage	Comparateur combinatoire	Comparateur séquentiel	Comparateur séquentiel (phase et fréquence)
Uo(φ)	non linéaire sauf autour de $\varphi = \pm\pi/2$		linéaire		
Pente	V_e et V_s	V_e	Indépendante de V_e et V_s		/
Déclenchements	/		/	Déclenchements fronts	
Rapport cyclique	/		50%	quelconque	
φ	0 à π		0 à π	0 à 2π	-2π à 2π
Verrouillage harmonique	/		oui	non	non

FIGURE 5.2.27 – Tableau de synthèse des avantages et inconvénients des comparateurs de phase analogiques et numériques.

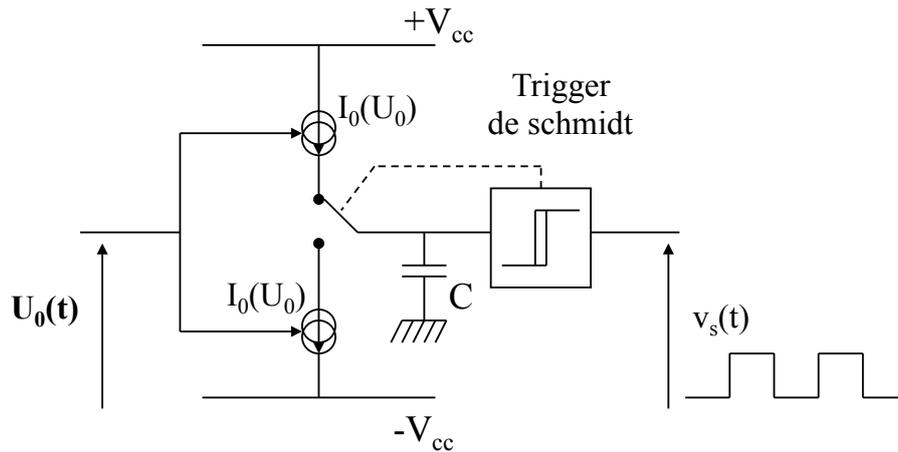


FIGURE 5.2.28 – Schéma de principe d'un oscillateur à relaxation utilisant un trigger de Schmidt.

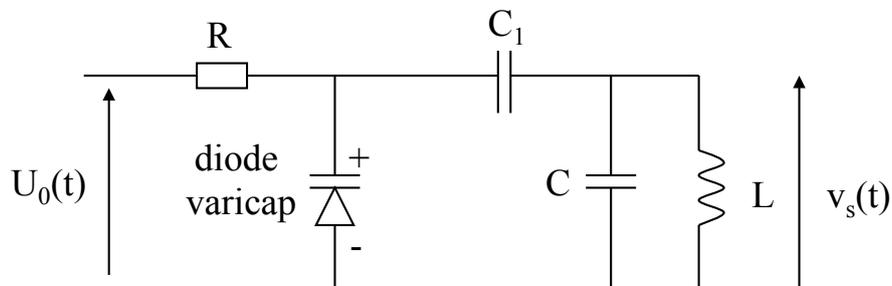


FIGURE 5.2.29 – Oscillateur harmonique à fréquence variable utilisant une diode varicap.

- la pulsation propre du système non amorti ;
- le facteur d'amortissement réduit z .

Ces éléments sont fixés par le choix du filtre. Mais un simple filtre passif RC ne permet pas de choisir indépendamment ces paramètres. C'est pour cette raison que l'on préfère un réseau à retard de phase. Lorsque l'on souhaite avoir un gain statique différent de 1, on utilise un filtre actif (Cf Chapitre 3 sur la fonction filtrage).

Il est à noter que les constructeurs fournissent dans les datasheets des boucles à verrouillage de phase les préconisations de choix de filtres à faire pour les différents types d'applications.

Le VCO

Un VCO, est un oscillateur dont on peut faire varier linéairement la fréquence par l'application d'une tension continue. Comme nous l'avons vu au Chapitre 3, cet oscillateur peut être soit un oscillateur à relaxation, dont le principe est rappelé sur la figure 5.2.28, soit un oscillateur à circuits accordés (figure 5.2.29).

Dans les deux montages, on note la présence d'une capacité dont la valeur influence la fréquence de fonctionnement de l'oscillateur. Pour faire varier cette fréquence, on peut donc envisager de mettre dans les montages des capacités variables. Une des possibilités est d'utiliser une diode varicap qui, comme son nom l'indique, est équivalente à une capacité dont la valeur peut être contrôlée par l'application d'une tension à ces bornes (voir figure 5.2.30).

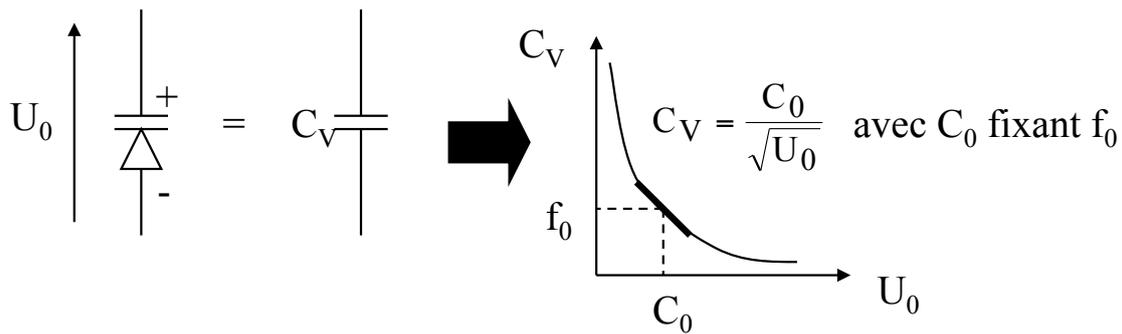


FIGURE 5.2.30 – Schéma équivalent d'une diode varicap.

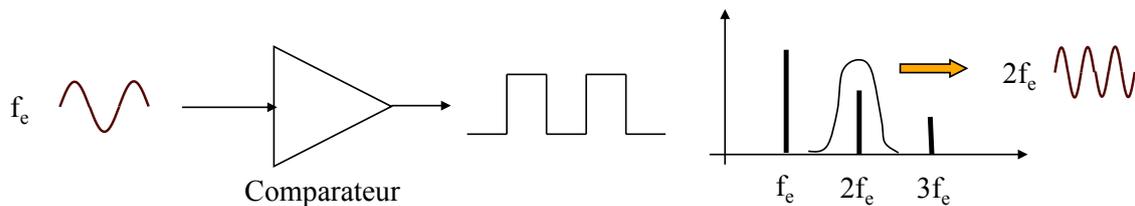


FIGURE 5.2.31 – Multiplieur de fréquence utilisant un composant non linéaire suivi d'un filtre à bande étroite.

5.2.4 Applications des PLL

Avant d'aborder l'utilisation des boucles à verrouillage de phase pour la synthèse de fréquence, nous allons décrire deux autres applications de ces systèmes, parmi les très nombreuses qui existent.

Multiplieur de fréquence

La multiplication de fréquence, bien que fondamentale, était très difficile à réaliser en électronique avant l'avènement de la PLL. On utilisait généralement un composant non linéaire, tel qu'un comparateur, afin de générer les fréquences harmoniques du signal d'entrée. La fréquence double, triple (ou autre) était alors sélectionnée à l'aide d'un filtre à bande étroite, comme le montre la figure 5.2.31. Le multiplieur de fréquence ainsi réalisé présente l'inconvénient de ne fonctionner que sur une bande très étroite de fréquence.

Une méthode plus élégante consiste à insérer un diviseur de fréquence par N programmable (ou non), bien plus facile à réaliser, dans la boucle de retour de la PLL, comme l'indique la figure 5.2.32. La boucle se verrouille lorsque le signal v' a la même fréquence que celle du signal d'entrée. La présence du diviseur implique que :

$$f_s = N f_e. \quad (5.2.46)$$

Translation de fréquence

Considérons maintenant le montage de la figure 5.2.33. Lorsque la boucle est verrouillée, les fréquences des deux signaux en entrée du comparateur de phase sont identiques :

$$f_s - f_e = f_1, \quad (5.2.47)$$

$f_s - f_e$ étant la seule composante de la multiplication des signaux d'entrée et de sortie, conservée par un filtrage passe bas. On a ainsi la fréquence du signal de sortie qui est simplement la somme de la fréquence du signal d'entrée et de celle de décalage f_1 :

$$f_s = f_e + f_1. \quad (5.2.48)$$

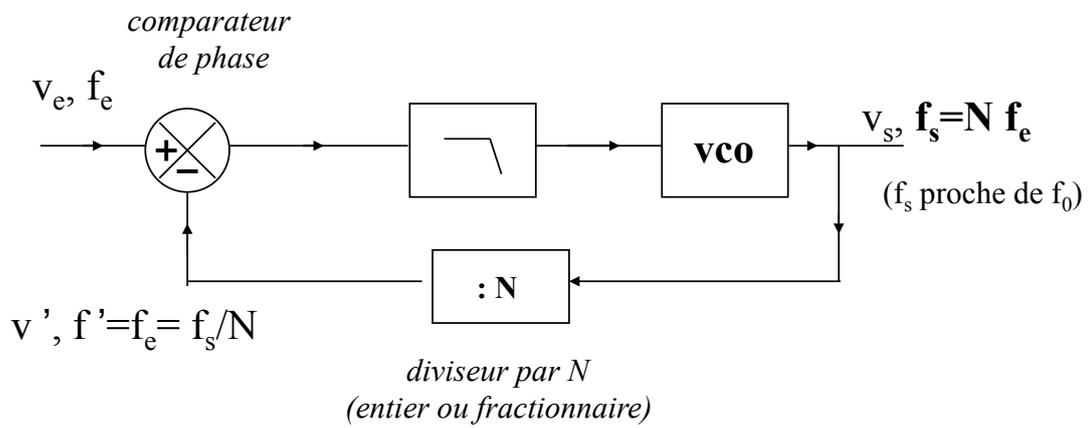


FIGURE 5.2.32 – Multiplieur de fréquence réalisé à l'aide d'une boucle à verrouillage de phase et d'un diviseur de fréquence.

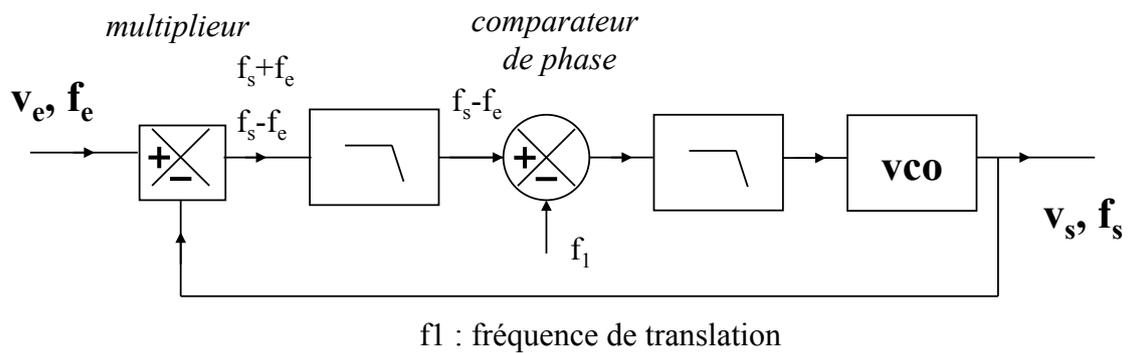


FIGURE 5.2.33 – Translation de fréquence réalisée à l'aide d'une boucle à verrouillage de phase.

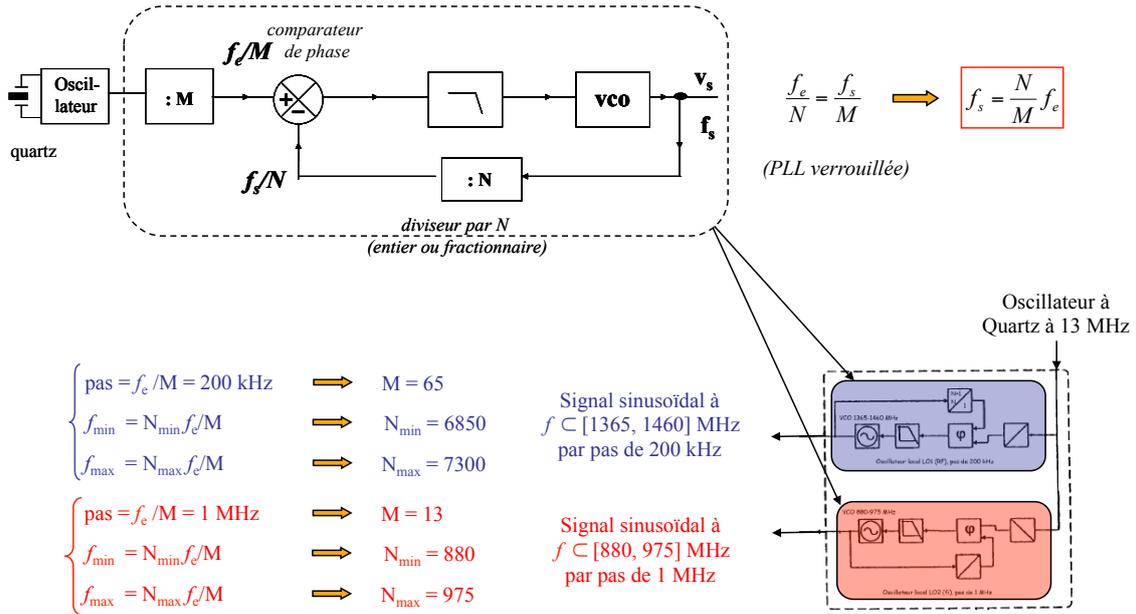


FIGURE 5.3.1 – Etage de synthèse de fréquence du GSM Sony CD5 (<http://www.ta-formation.com/cours-gsm/p-gsmmobile.pdf>).

5.3 Application des PLL à la synthèse de fréquence

La synthèse de fréquence est très fréquemment utilisée dans les applications de télécommunications, et tout particulièrement pour les systèmes de téléphonie mobile. Elle permet de fournir l'ensemble des fréquences nécessaires au bon fonctionnement d'un émetteur / récepteur GSM, comme nous le verrons dans le chapitre de conclusion. Regardons maintenant quel est le principe de fonctionnement d'un tel synthétiseur de fréquence.

5.3.1 Synthèse de fréquence à sortie directe

Le synoptique de l'étage de synthèse de fréquence du GSM Sony CD5 est donné sur la figure 5.3.1. Le montage de base qui apparaît deux fois en parallèle dans cet étage du GSM Sony CD5, est reproduit sur la figure 5.3.2.

Lorsque la boucle de ce montage est verrouillée on a :

$$\frac{f_s}{N} = \frac{f_e}{M} \tag{5.3.1}$$

La fréquence de sortie du montage est donc donnée par :

$$f_s = N \frac{f_e}{M} = NP, \tag{5.3.2}$$

où $P = \frac{f_e}{M}$ est le pas du synthétiseur de fréquence. Ainsi, la fréquence de sortie peut varier par pas de P . La plage de fréquence de fonctionnement dépendra donc des valeurs minimale et maximale de N du diviseur (ou compteur).

Si on revient maintenant sur l'étage de synthèse du Sony CD5, on constate que pour avoir pour le synthétiseur du haut un pas de 200 KHz, qui correspond à l'espacement entre deux canaux dans la norme GSM, il faut choisir $M = 65$ sachant que l'oscillateur à quartz fournit une fréquence de référence de 13 MHz. De plus, on verra dans le chapitre de conclusion que l'on doit faire varier la fréquence de sortie de ce synthétiseur entre 1365 MHz et 1460 MHz, ce qui implique que le

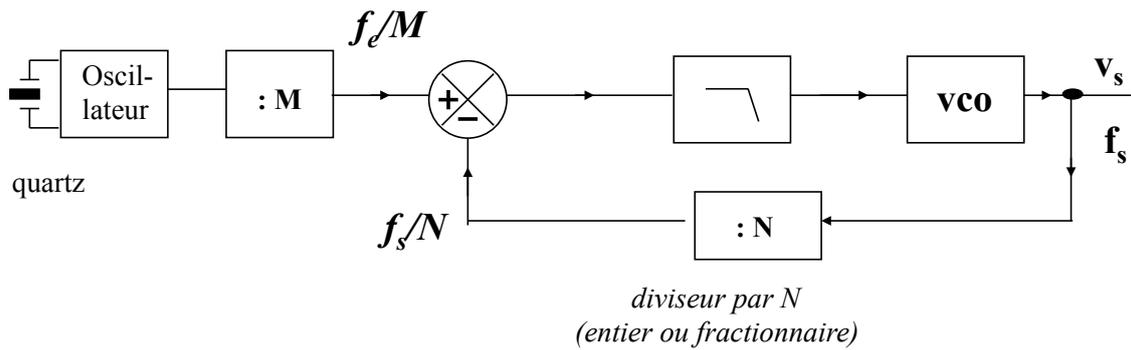


FIGURE 5.3.2 – Montage d'un synthétiseur de fréquence à sortie directe réalisé à l'aide d'une boucle à verrouillage de phase.

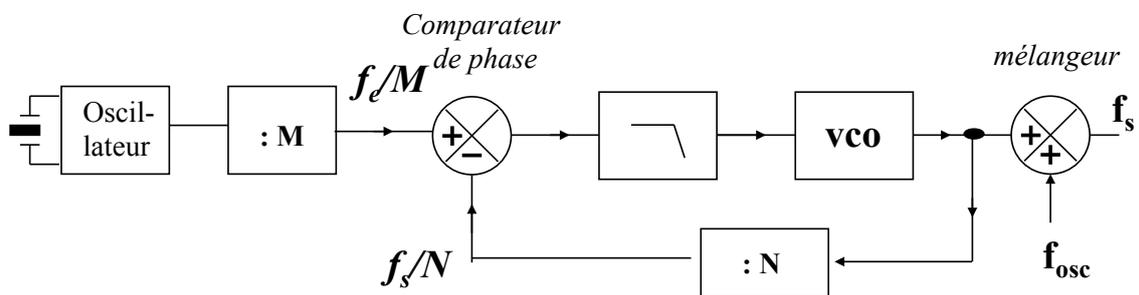


FIGURE 5.3.3 – Montage d'un synthétiseur de fréquence à sortie indirecte réalisé à l'aide d'une boucle à verrouillage de phase.

compteur devra compter de 6850 à 7300 en fonction du canal GSM sur lequel le portable doit se connecter.

Le synthétiseur du bas doit, lui, fournir des fréquences comprises entre 880 MHz et 975 MHz par pas de 1 MHz, et cela à partir du même oscillateur à quartz. On aura donc pour ce synthétiseur $M = 13$, et $N_{min} = 880$ et $N_{max} = 975$. Nous verrons l'utilité de tous ces signaux dans le chapitre de conclusion.

5.3.2 Synthèse de fréquence à sortie indirecte

Lorsque l'on veut monter en fréquence, tout en conservant un pas de fréquence petit, il peut être difficile de trouver une PLL fonctionnant dans la gamme de fréquence souhaitée. Dans ce cas, on peut réaliser un synthétiseur avec le pas souhaité mais à plus basse fréquence, et décaler ensuite le signal résultant, comme le montre la figure 5.3.3. Ce principe est généralement dénommé synthèse indirecte.

