

TP4 : Etude de la PLL CD4046B

Mathis WangBingchen 15241050 SY1924131

Q1

D'après la figure 7, on trouve que la fréquence centrale $f_0 = 8 \times 10^4 \text{ Hz}$ quand $C_1 = 1 \text{ nF}$ et

$R_1 = 10 \text{ K}\Omega$, donc on a $f_{\max} = 2f_0 = 1.6 \times 10^5 \text{ Hz}$, $f_{\min} = 0 \text{ Hz}$.

Q2

On introduit les valeurs obtenus :

The CD4046 PLL
 Helmut Sennewald, V0.8
 Please refer to TI, Fairchild, Onsemi and Philips datasheets.
<http://focus.ti.com/lit/ds/symlink/cd4046b.pdf>
<http://www.fairchildsemi.com/ds/CD/CD4046BC.pdf>
<http://www.onsemi.com/pub/Collateral/MC14046B-D.PDF>
http://www.semiconductors.philips.com/acrobat_download/datasheets/HEF4046B_CNV_3.pdf
 Check carefully the datasheets, because there may be differences.

This is a hierarchical design. You can RightMouseClicked on the instance(symbol) and probe down the hierarchy. To probe signals down the hierarchy requires Control Panel -> Save Defaults ...Save Subcircuit Voltages ...Save Subcircuit Currents

.options cshunt=1e-15

.tran 0 50m 0 500n
.options plotwinsize=0

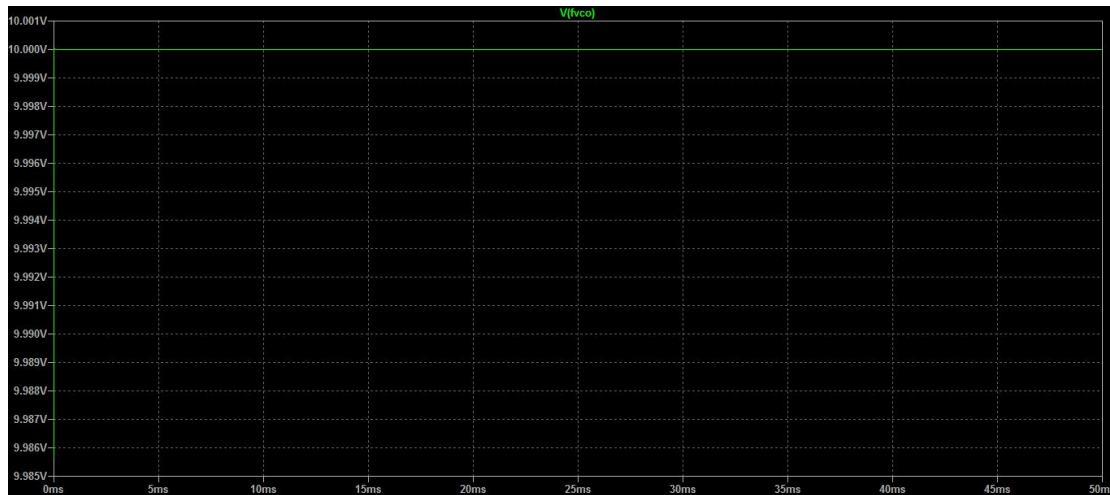
VCC1=10 FMIN=0.000001e6 FMAX=0.160e6 SPEED=1.0 TDEL1=20n TRIPDT1=8n

The visible parameters are from the CD4046 model. They can be made invisible in the symbol's dialog. Therefore RightMouseClicked on the symbol and uncheck it.

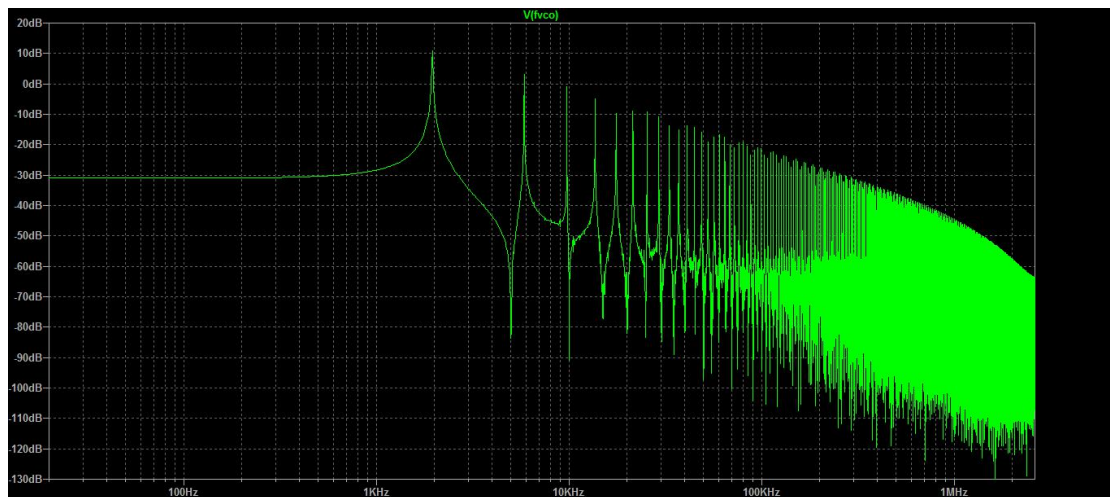
FMAX = max. VCO frequency
 FMIN = min. VCO frequency
 TDEL1=20n internal gate delay; don't change it
 TRIPDT1=8n change it to 8n for Fvco>=2.5e5, 8n*2.5e5/Fvco_max
 Example: Fvco_max=1kHz -> TRIPDT=2u

Puis on prend $V1 = 0V$ à $10V$ avec le pas de $1V$ pour vérifier si le VCO est de bon fonctionnement , on donne quelques exemples qui vous montre la tendance de changement de output:

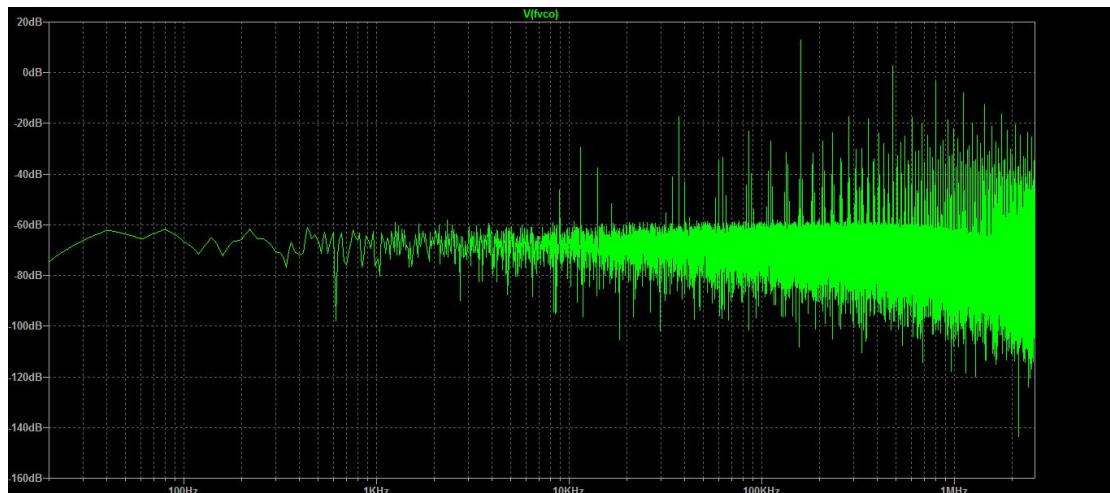
$V1 = 0V$:



$V1 = 1V$:



$V1 = 10V$:

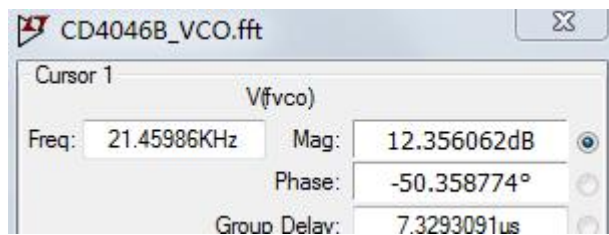


Puis on faire le FFT et mesure la fréquence f_{VCO} (la fréquence avec le gain le plus important):

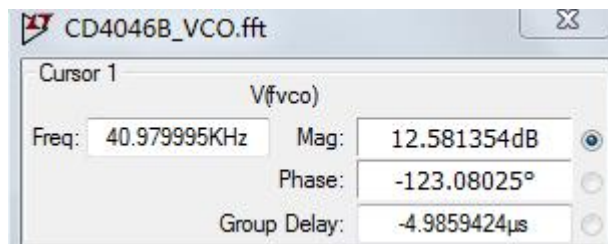
V1 = 1V:



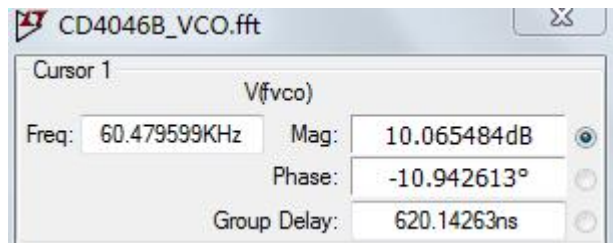
V1 = 2V:



V1 = 3V:



V1 = 4V:



V1 = 5V:



V1 = 6V:



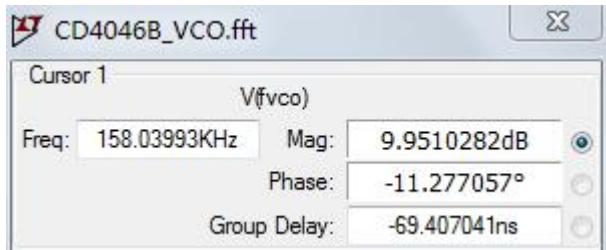
V1 = 7V:



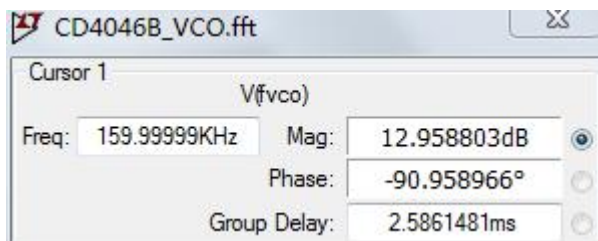
V1 = 8V:



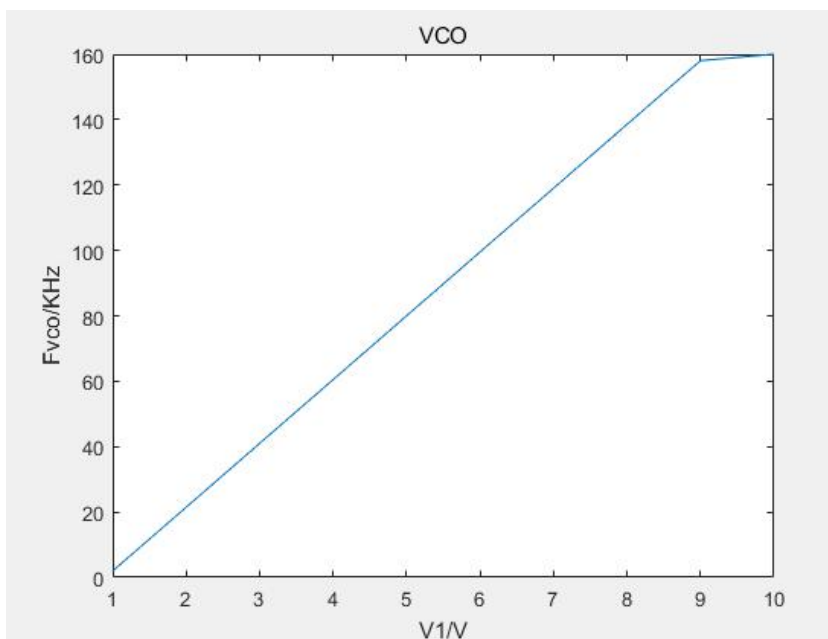
V1 = 9V:



V1 = 10V:



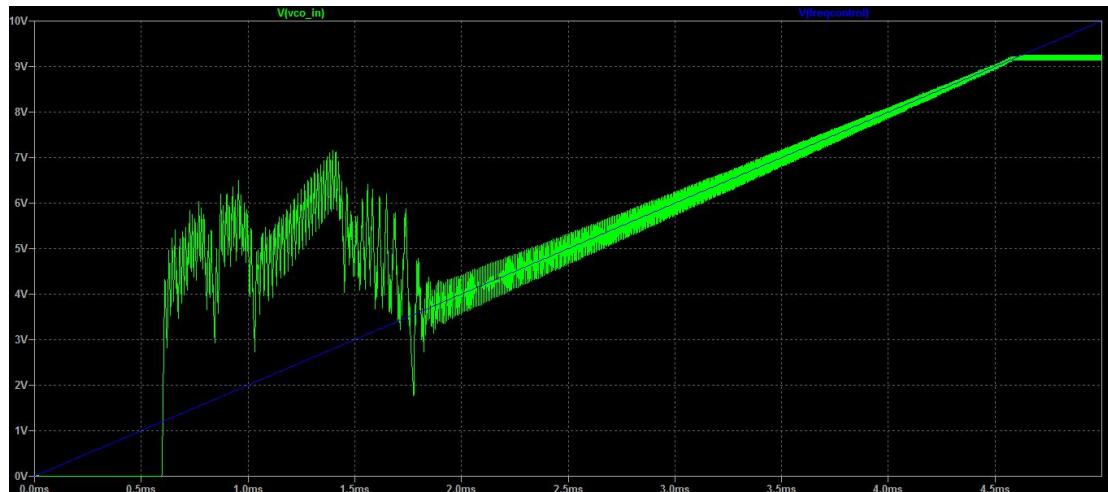
On visualise ce résultat :



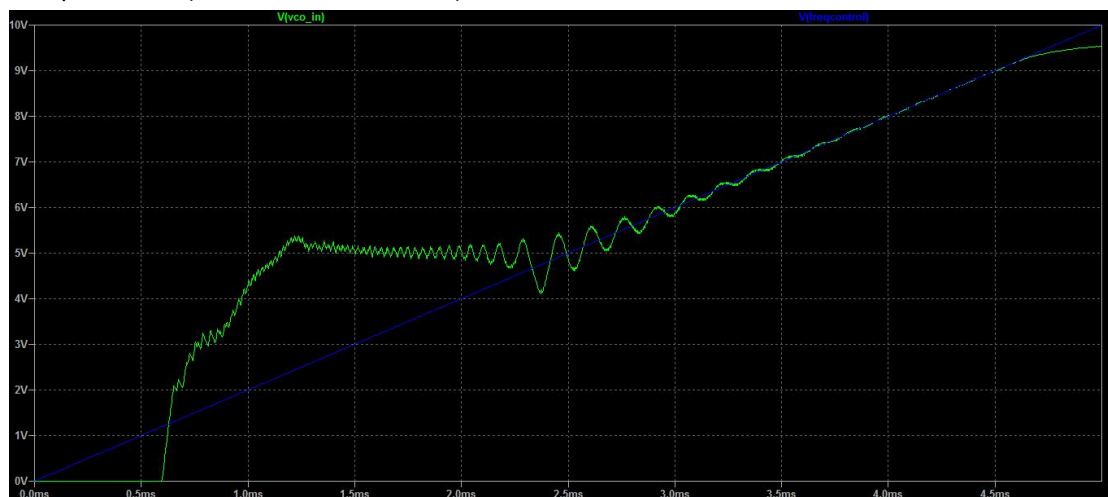
Donc on trouve que f_{VCO} est croissante à V1 dans la plage de fonctionnement mais quand V1 est 10V, elle atteint la saturation $f_{max} = 160KHz$.
Donc le VCO est de bon fonctionnement .

Q3

Comparateur 1 (entrée de filtre est PC1) C2 = 10nF:

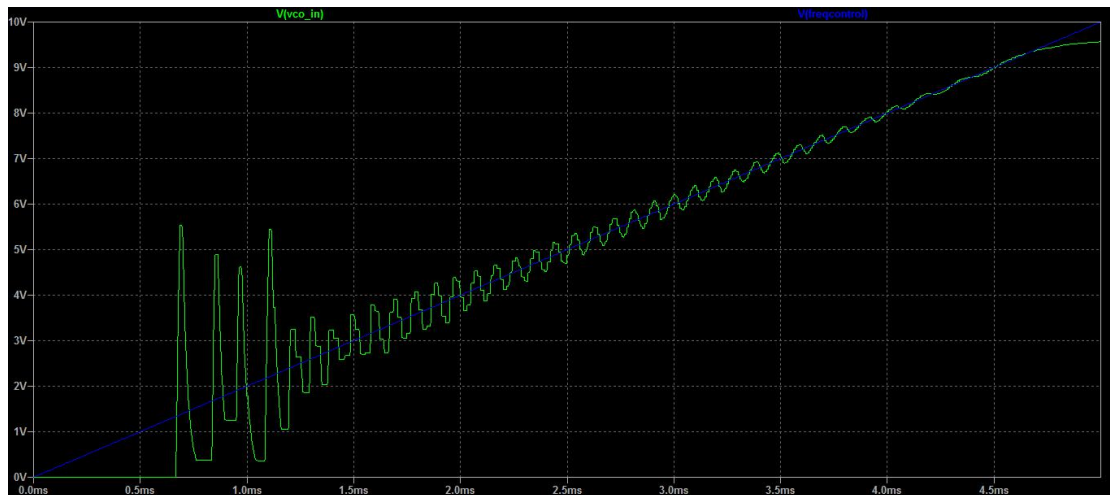


Comparateur 1 (entrée de filtre est PC1) C2 = 100nF:

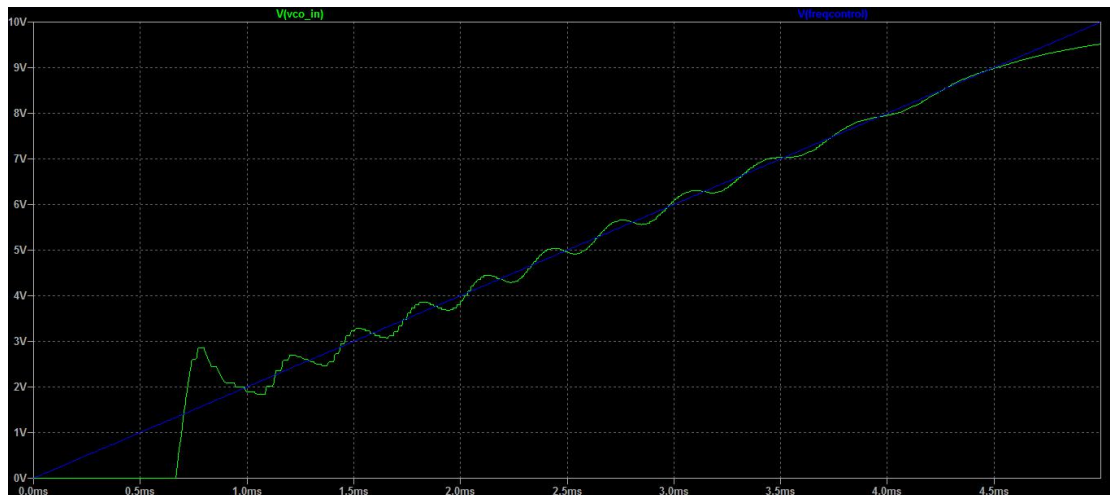


Puis on modifie le comparateur, c'est-à-dire change l'entrée de filtre à PC2:

Comparteur 2 (entrée de filtre est PC2) C2 = 10nF:

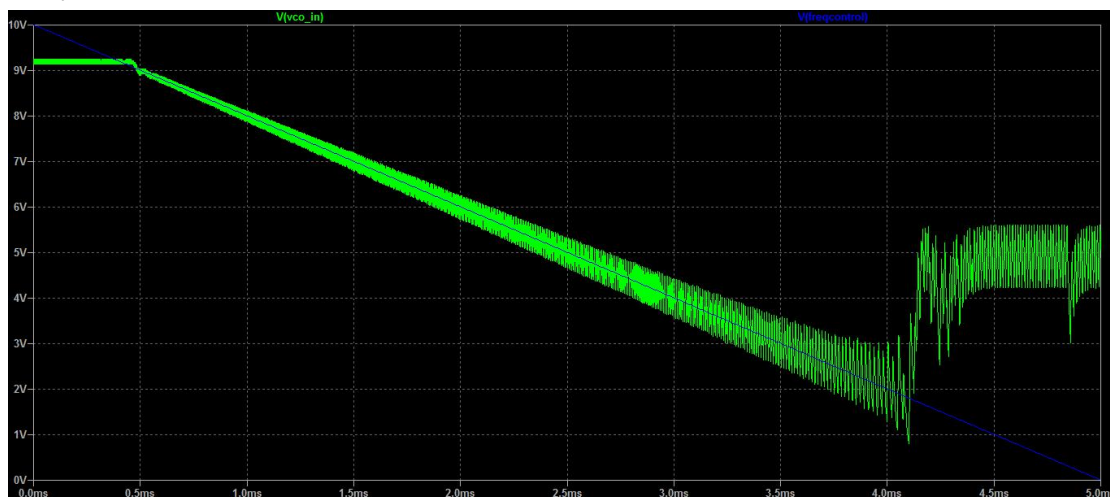


Comparteur 2 (entrée de filtre est PC2) C2 = 100nF:



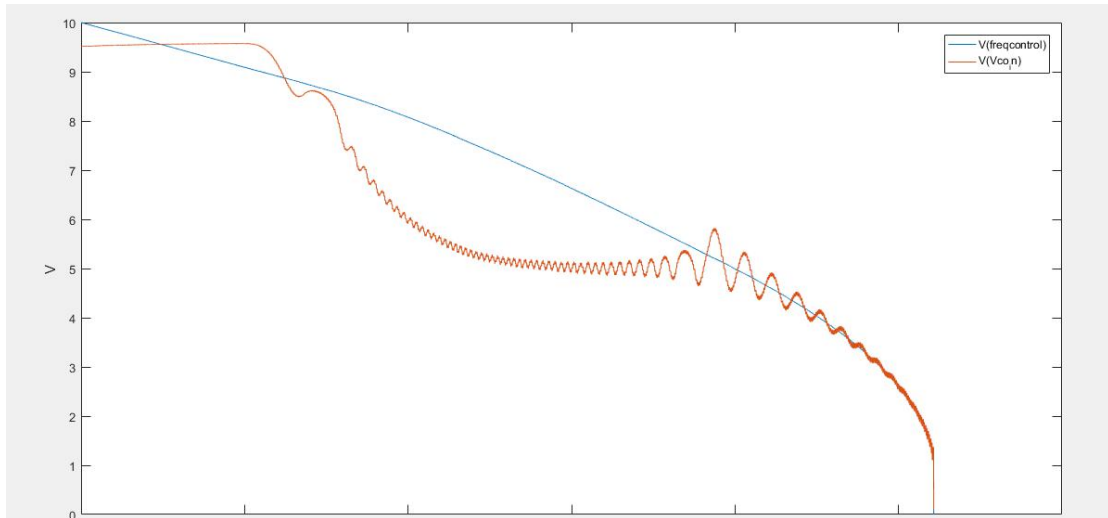
Q4

Comparteur 1 (entrée de filtre est PC1) C2 = 10nF:

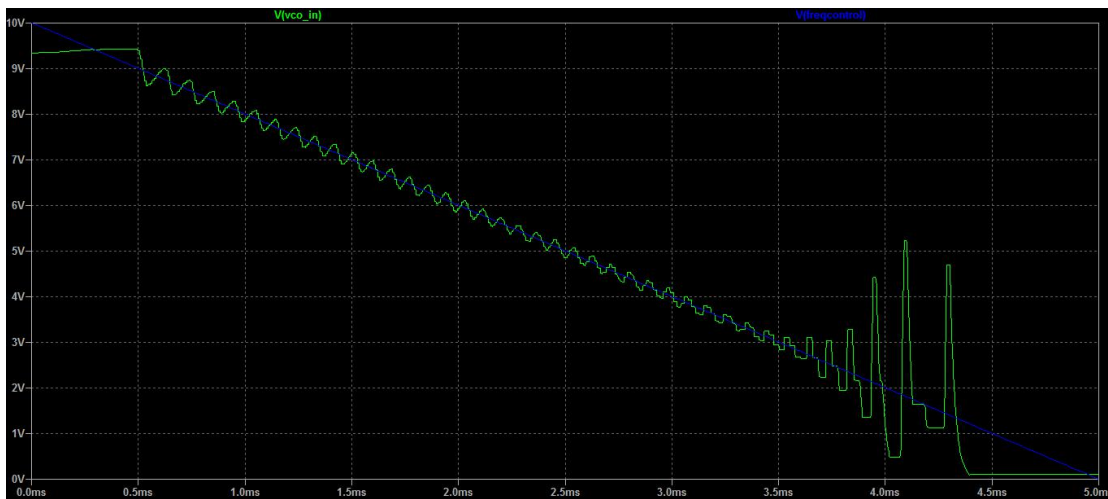


Comparteur 1(entrée de filtre est PC1) C2 = 100nF:

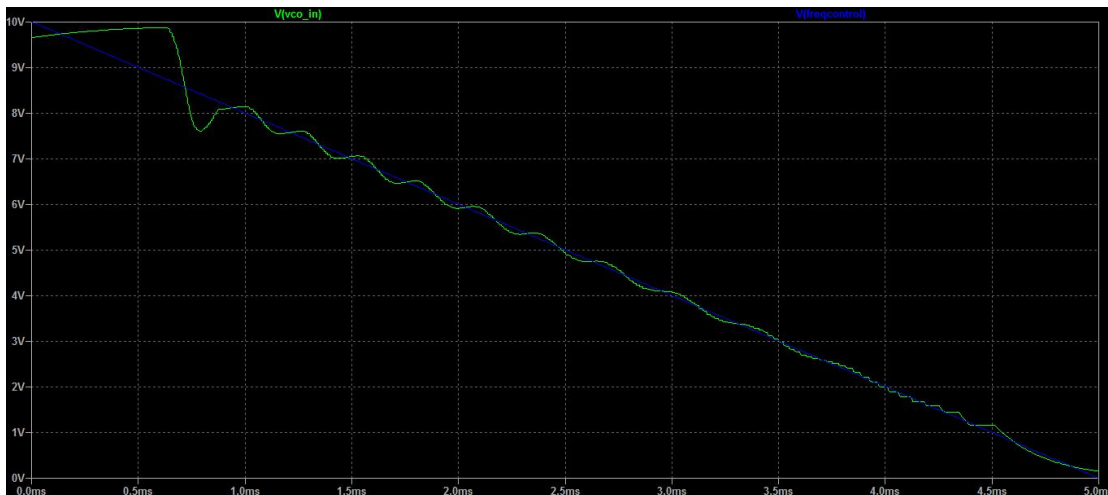
C'est difficile pour mon ordinateur à faire la simulation cette fois , en fait c'est toujours bloqué , donc je demande aux autres camarades le résultat et reconstruire la figure en Matlab:



Comparteur 2 (entrée de filtre est PC2) C2 = 10nF:



Comparteur 2 (entrée de filtre est PC2) C2 = 100nF:



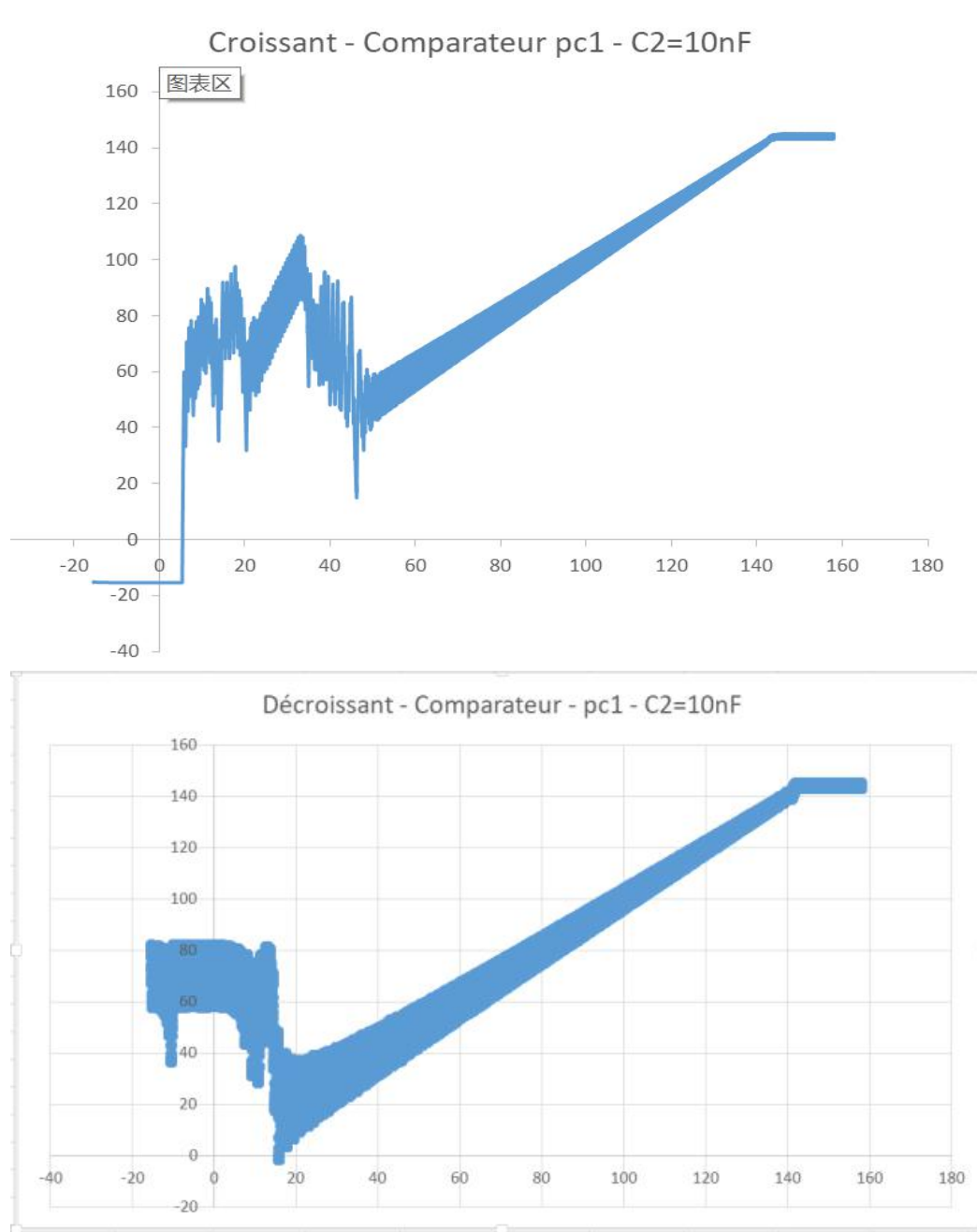
Q5

On calcule f_s et f_e en utilisant la caractéristique de VCO qu'on trouve à la partie 1, qui est que la fréquence est presque linéaire, $f=17.34V-15.38$ à la tension avant la saturation.

On utilise Excel à traiter les datas, voici un exemple :

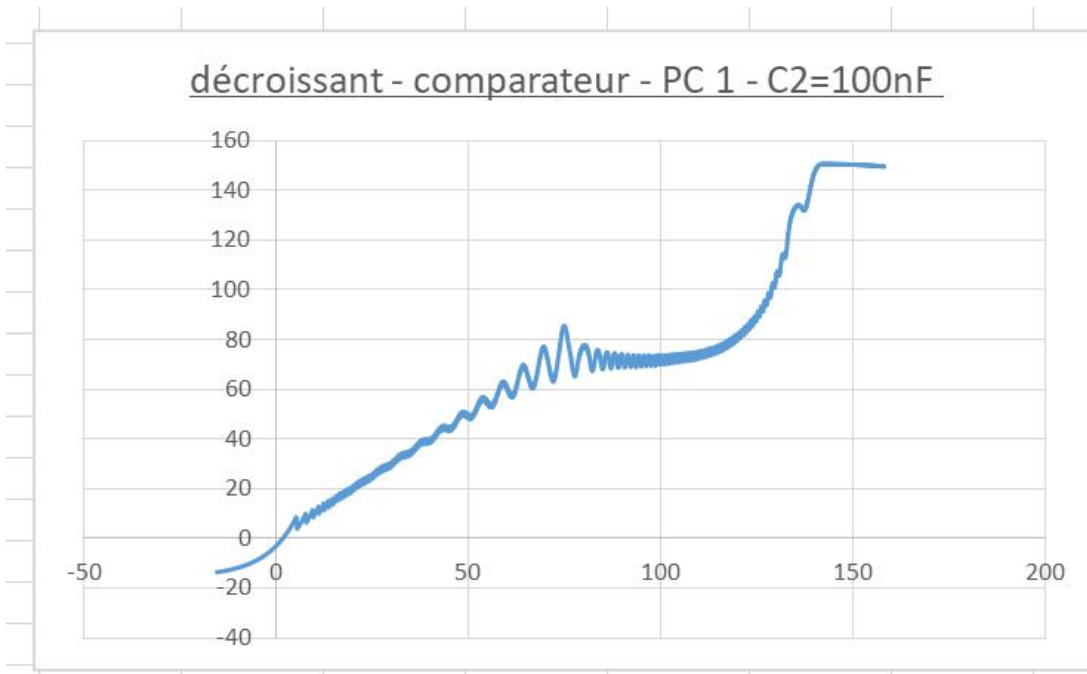
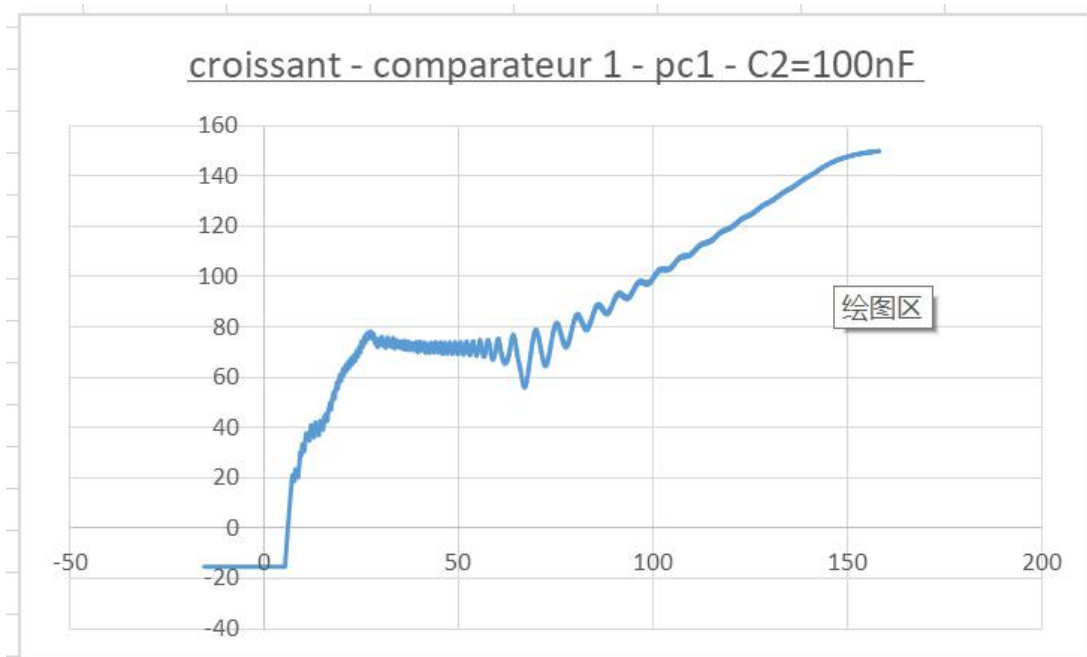
Puis on obtient tous les 4 figures pour 4 situations différents :

Comparateur 1 (entrée de filtre est PC1) $C_2 = 10nF$:



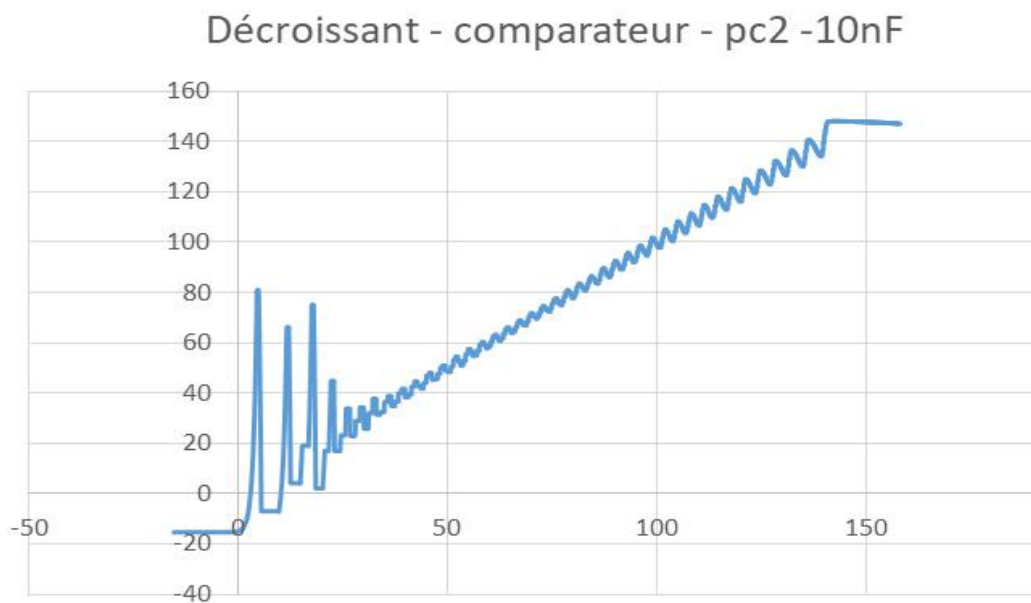
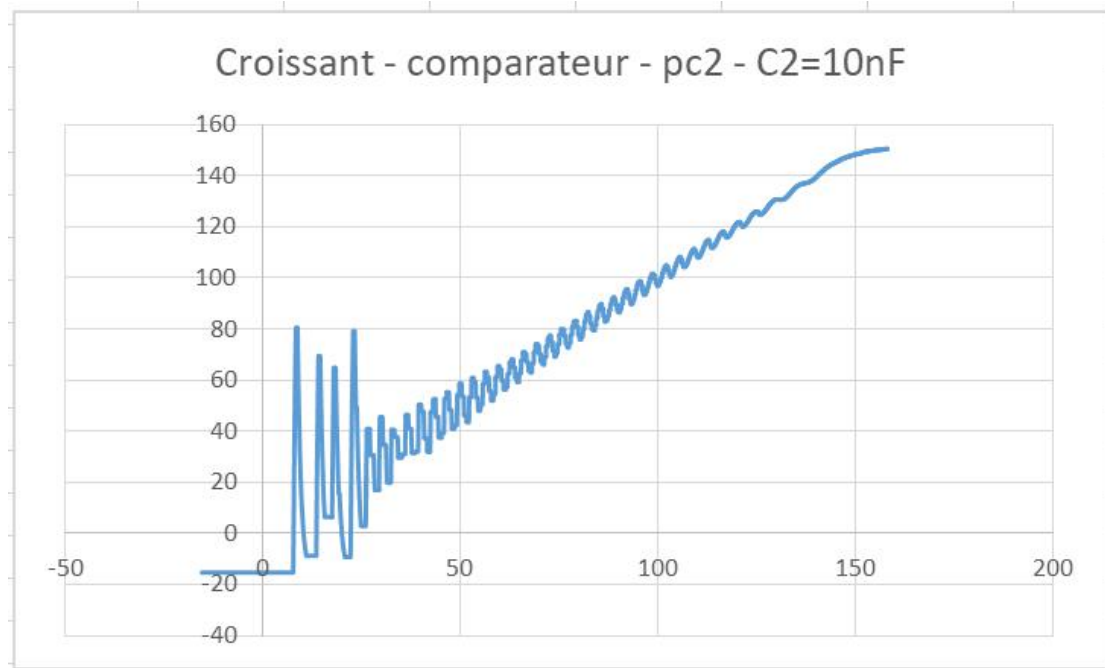
En partie croissante $f_0 - f_c = 5.46\text{kHz}$, $f_0 + f_L = 157.9\text{kHz}$ et pour la partie décroissante $f_0 - f_L = -12.9\text{kHz}$, $f_0 + f_c = 157.9\text{kHz}$;
 donc la plage de capture est $(f_0 + f_c) - (f_0 - f_c) = 152.44\text{kHz}$ et la plage de verrouillage est $(f_0 + f_L) - (f_0 - f_L) = 170.8\text{kHz}$

Comparateur 1 (l'entrée du filtre : PC 1), $C_2 = 100\text{nF}$:



En partie croissante $f_0 - f_c = 6.11\text{kHz}$, $f_0 + f_L = 157.95\text{kHz}$ et pour la partie décroissante $f_0 - f_L = 1.81\text{kHz}$, $f_0 + f_c = 142.81\text{kHz}$.
 donc la plage de capture est $(f_0 + f_c) - (f_0 - f_c) = 136.7\text{kHz}$ et la plage de verrouillage est $(f_0 + f_L) - (f_0 - f_L) = 156.14\text{kHz}$

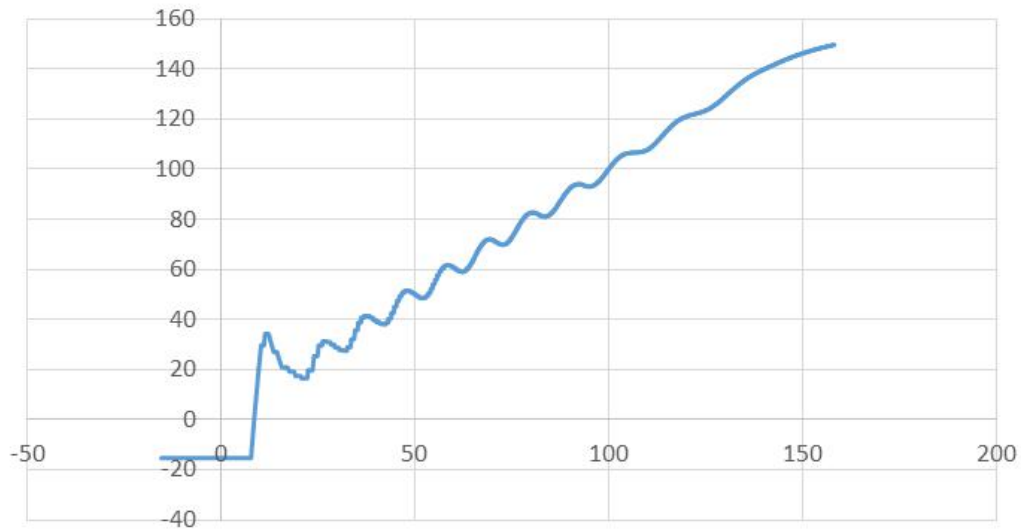
Comparateur 2 (entrée de filtre est PC2) C2 = 10nF:



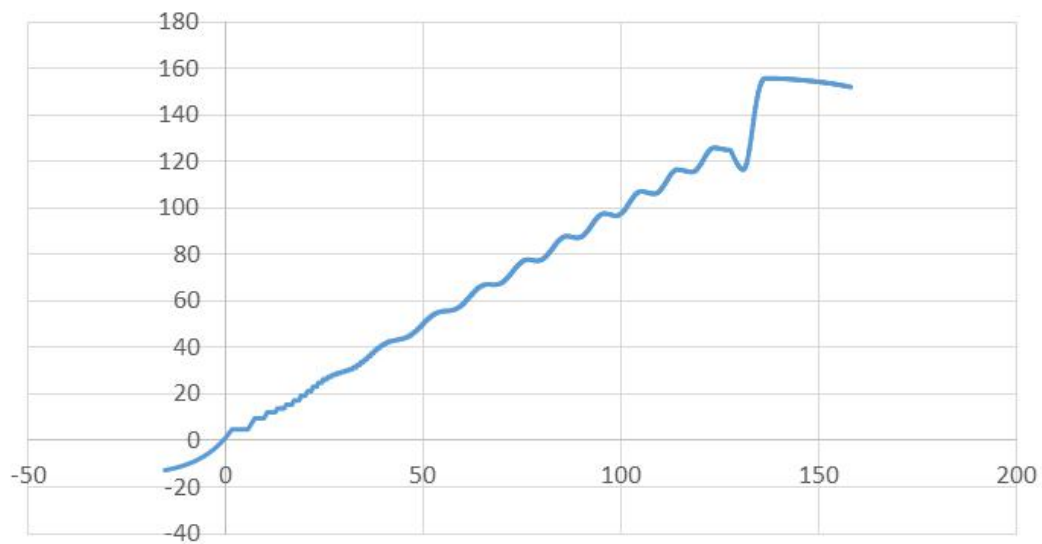
En partie croissante $f_0 - f_c = 13.63 \text{ kHz}$, $f_0 + f_L = 155.6 \text{ kHz}$ et pour la partie décroissante $f_0 - f_L = f_0 - f_L = 2.8 \text{ kHz}$, $f_0 + f_c = 142.9 \text{ kHz}$.
donc la plage de capture est $(f_0 + f_c) - (f_0 - f_c) = 129.3 \text{ kHz}$ et la plage de verrouillage est $(f_0 + f_L) - (f_0 - f_L) = 152.8 \text{ kHz}$

Comparateur 2 (entrée de filtre est PC2) C2 = 100nF:

Croissant - Comparateur - pc2 - C2=100nF



Décroissant - comparateur2 - pc2- C2=100nF



En partie croissante $f_0 - f_c = 8.5 \text{ kHz}$, $f_0 + f_L = 154.4 \text{ kHz}$ et pour la partie décroissante

$f_0 - f_L = f_0 - f_L = 0.7 \text{ kHz}$, $f_0 + f_c = 134.1 \text{ kHz}$.

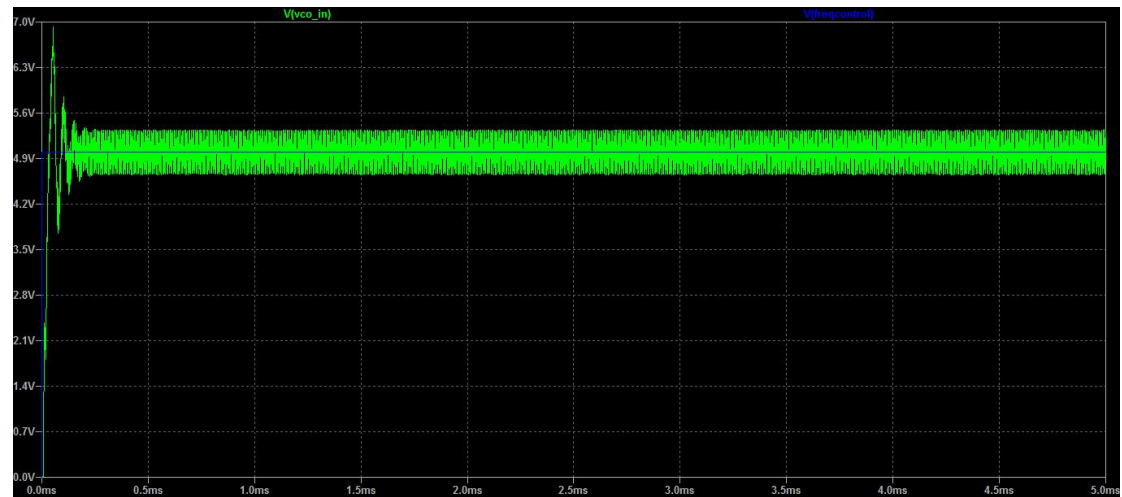
donc la plage de capture est $(f_0 + f_c) - (f_0 - f_c) = 125.6 \text{ kHz}$ et la plage de verrouillage est

$(f_0 + f_L) - (f_0 - f_L) = 155.1 \text{ kHz}$

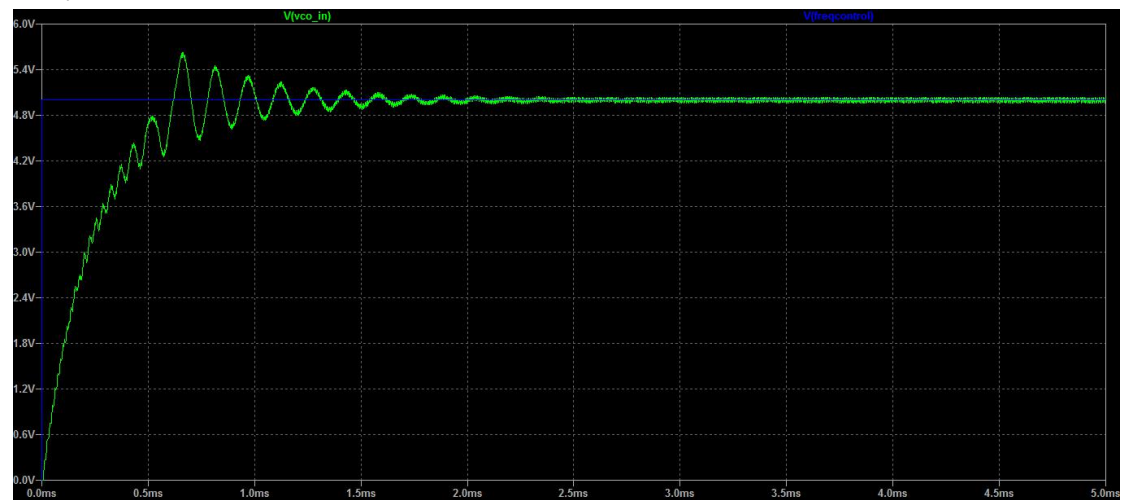
Q3.1

On fait la simulation avec CD4046B echelon.asc pour réaliser la simulation pour les deux comparateurs et pour les deux valeurs de la capacité C2 = 10nF et 100nF.

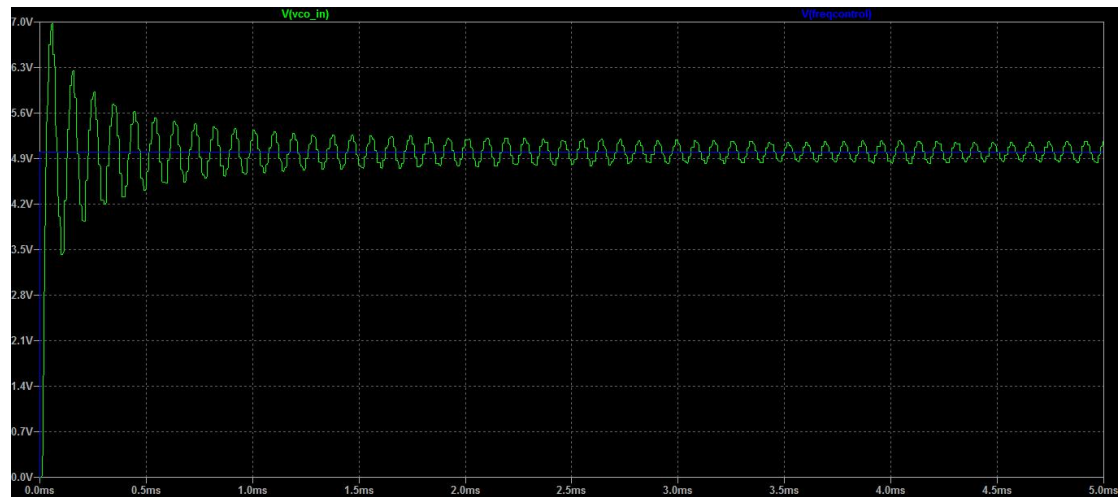
Comparateur 1 (entrée de filtre est PC1) C2 = 10nF:



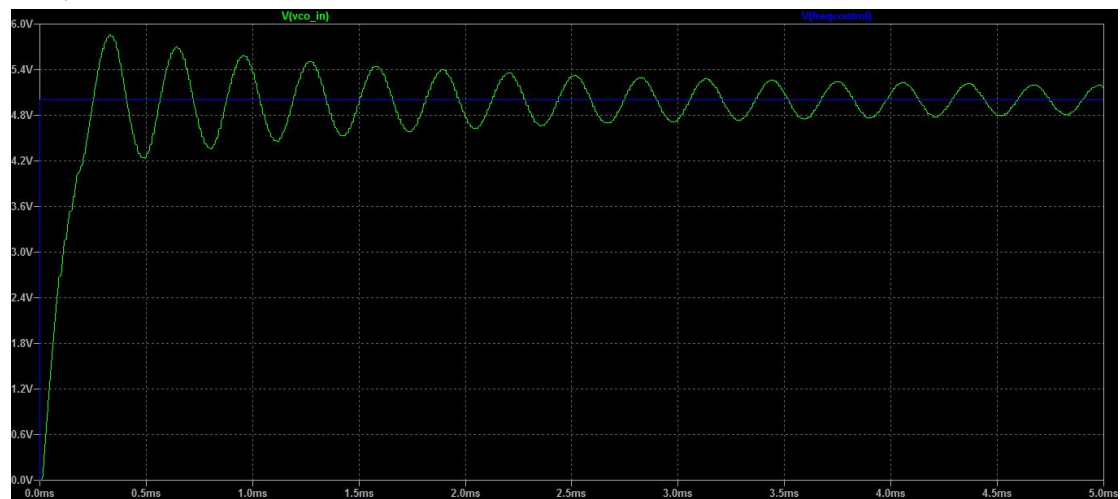
Comparateur 1 (entrée de filtre est PC1) C2 = 100nF:



Comparateur 2 (entrée de filtre est PC2) C2 = 10nF:

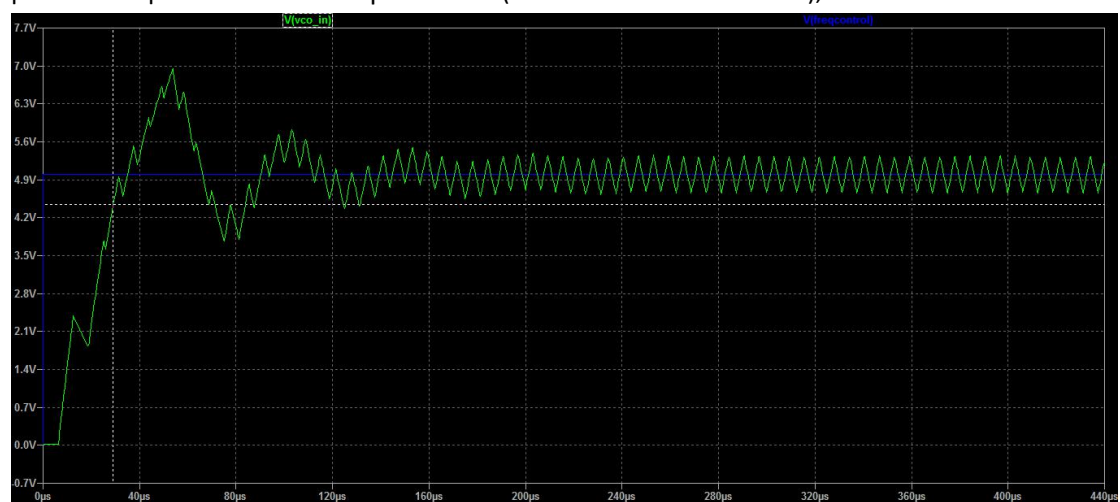


Comparateur 2 (entrée de filtre est PC2) C2 = 100nF:

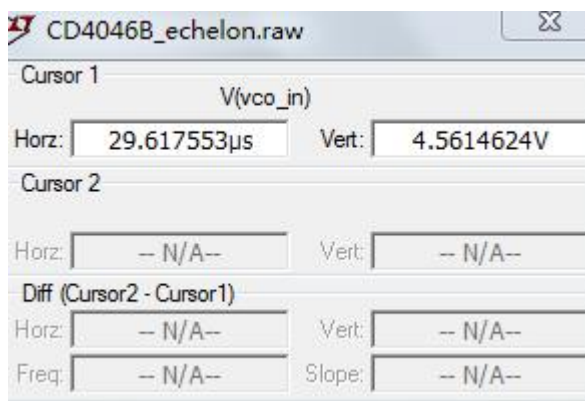
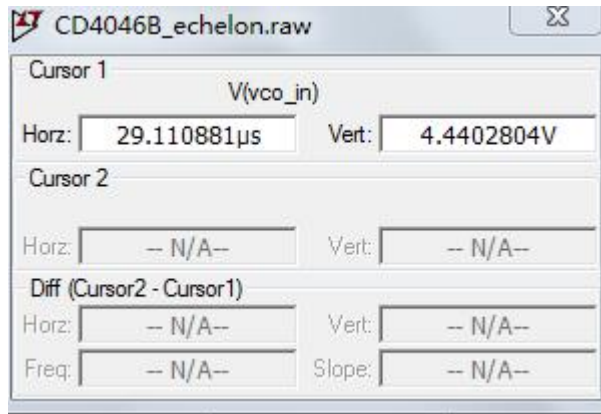


Q3.2

On mesure pour chaque situation le temps nécessaire pour atteindre 90% de V, c'est-à-dire 4.5V pour notre question . Pour comparateur 1 (l'entrée du filtre est PC 1), C2=10nF :

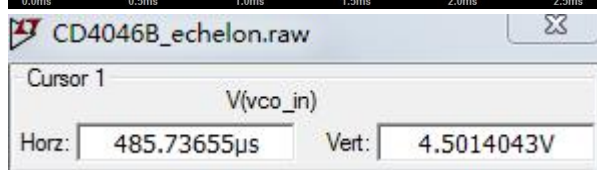
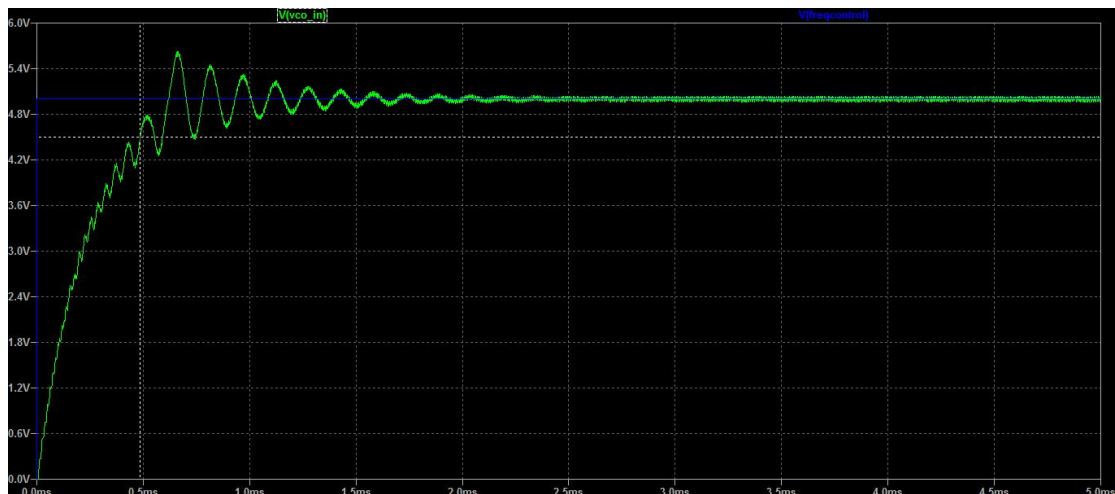


Ici notre simulation n'est pas assez précis :

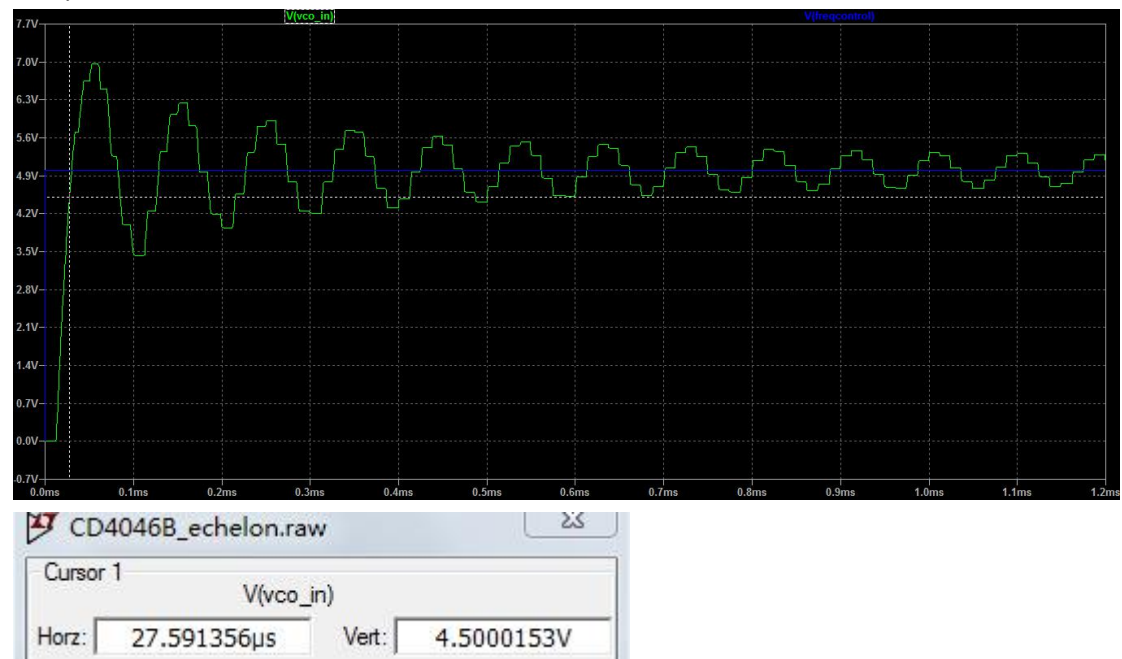


Donc on peut dire que le temps nécessaire est environ $29.3\mu s$.

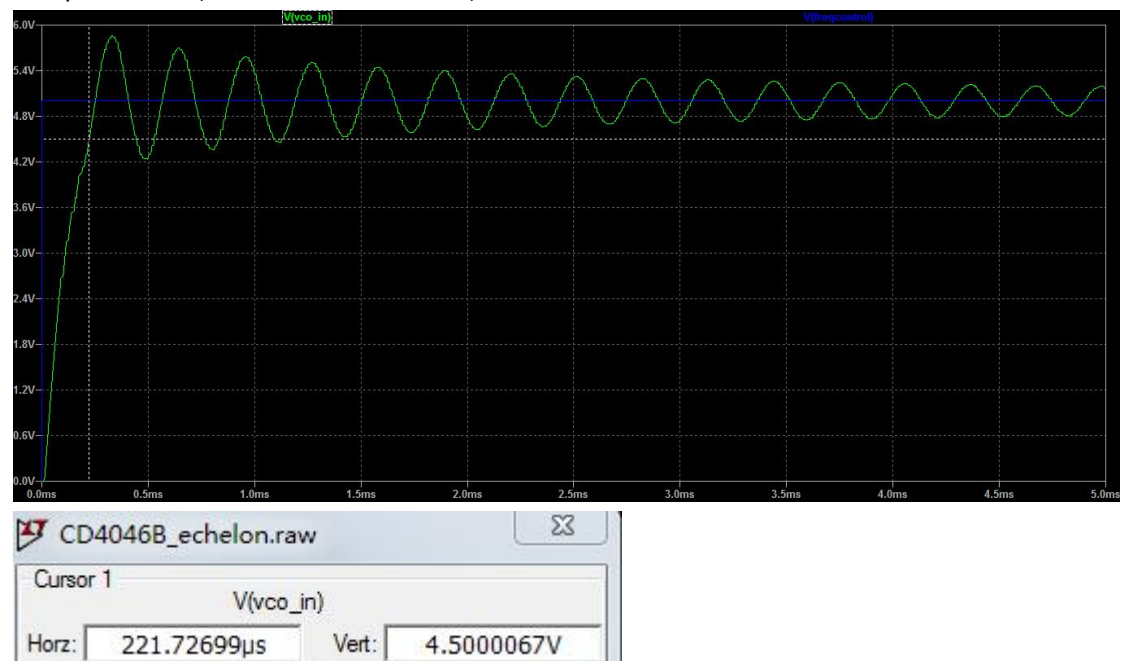
Puis on traite la situation de comparateur 1 (l'entrée du filtre : PC 1), $C_2=100nF$:



comparateur 2 (l'entrée du filtre :PC 2), C2=10nF :



comparateur 2 (l'entrée du filtre :PC 2), C2=10nF :



Q3.3

D'après notre circuit , on sait que le temps caractéristique est $R_3 \cdot C_2$

Pour $C_2 = 10\text{nF}$, le temps caractéristique $T_c = 18\mu\text{s}$

Pour condition de $C_2 = 100\text{nF}$, $T_c = 180\mu\text{s}$

Donc pour tous les 4 conditions, le temps nécessaire $T_n > T_c$.