

Électronique

Devoir IV :

Etude de la PLL CD4046B

SY1724130(13241081)

Zhaofeng ZHANG(Alexia)

1 Caractérisation du VCO

1. A partir de la notice technique de la PLL HEF 4046B (similaire à la PLLCD4046B) fournie à la fin de ce document, déterminer pour une capacité $C_1 = 1 \text{ nF}$, et des résistances $R_1 = 10 \text{ k}\Omega$ et R_2 infinie, la plage de fonctionnement du VCO.

D'après la fiche, on sait que $V_{dd} = 10\text{V}$ et $V_{ss} = 0\text{V}$, $R_1 = 10\text{k}\Omega$ et R_2 infinie,

$C_1 = 1\text{nF} = 10^3 \text{ pF}$. Donc on peut voir que la fréquence centrale sur la figure 1, $f_0 = 8 \times 10^4 \text{ Hz}$.

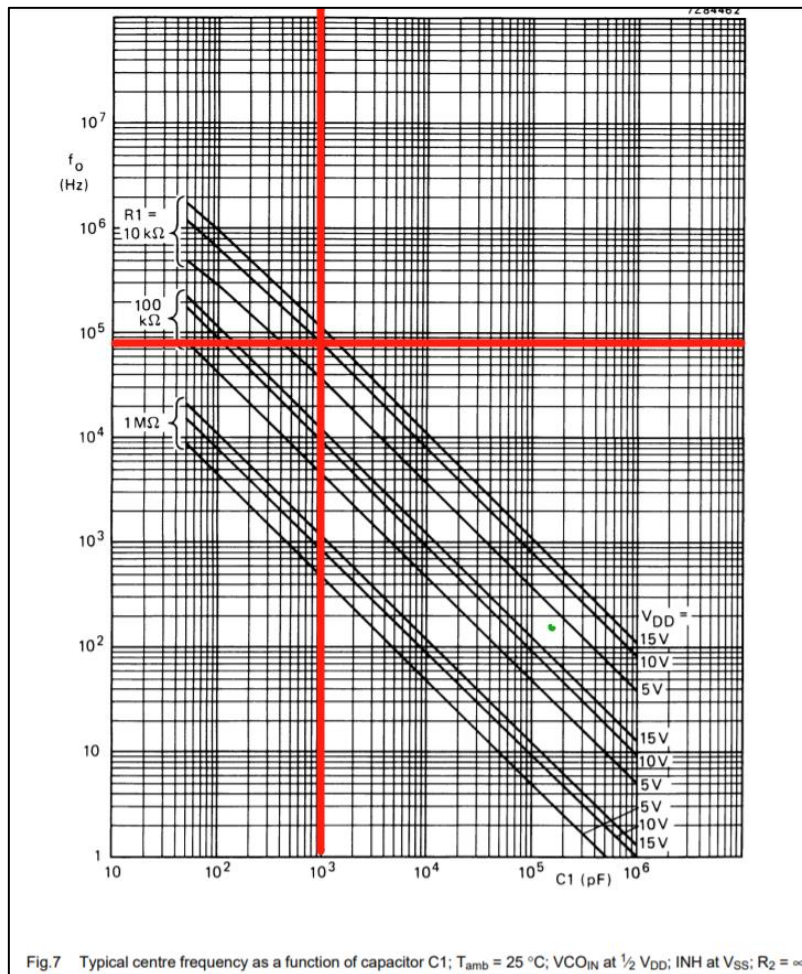


Figure 1

D'après la figure 2, on sait que $f_0 = \frac{1}{2} f_{max}$ et $f_{max} - f_0 = f_L = f_0 - f_{min}$. Donc on a

$f_{max} = 160\text{kHz}$, $f_{min} = 0\text{Hz}$. La plage de fonctionnement (plage de verrouillage) du VCO est égal $[0,160]\text{kHz}$.

VCO component selection

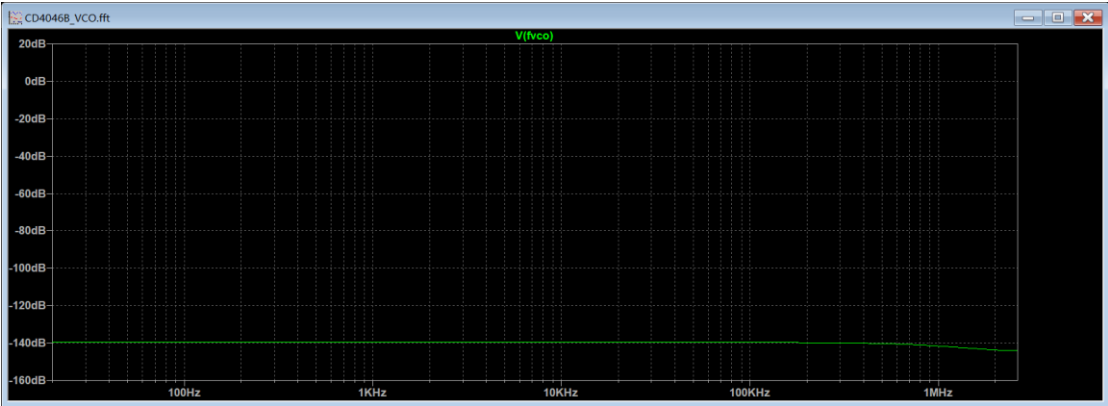
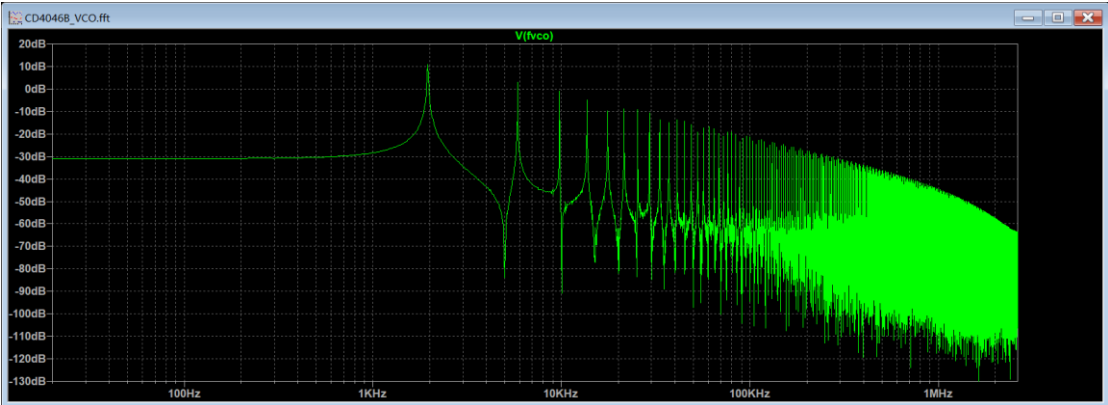
Recommended range for R1 and R2: 10 kΩ to 1 MΩ; for C1: 50 pF to any practical value.

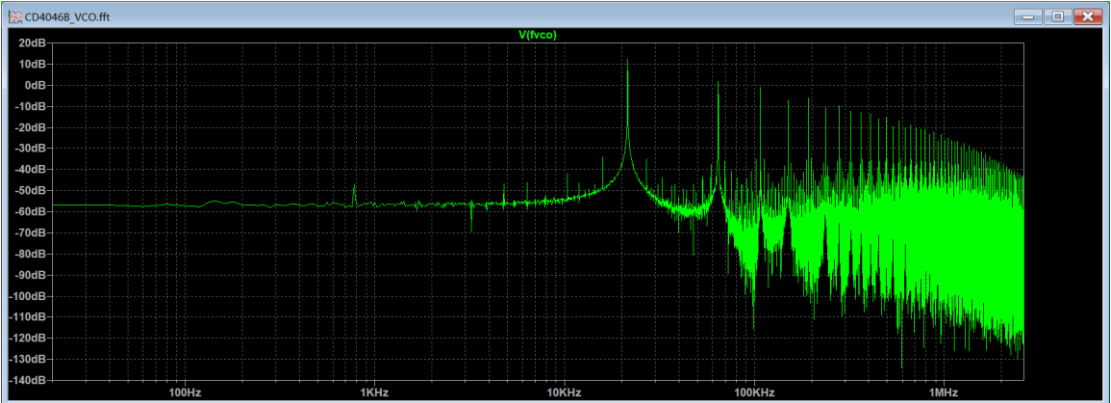
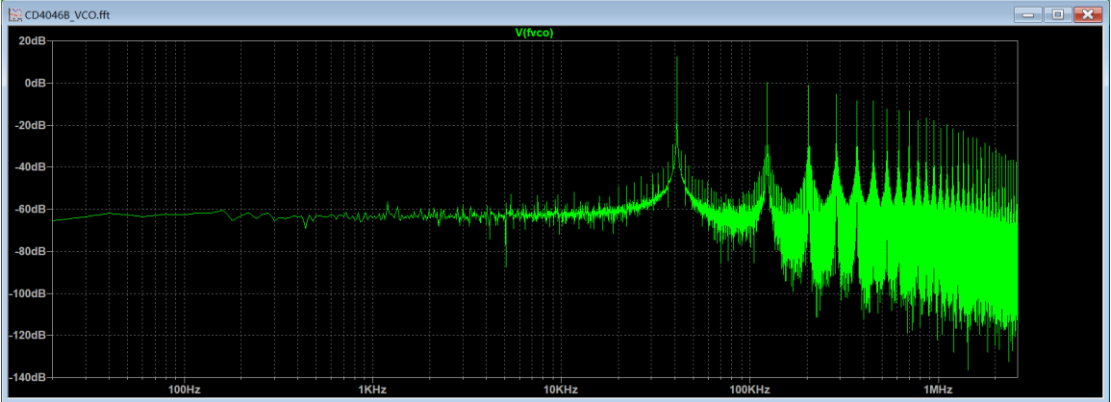
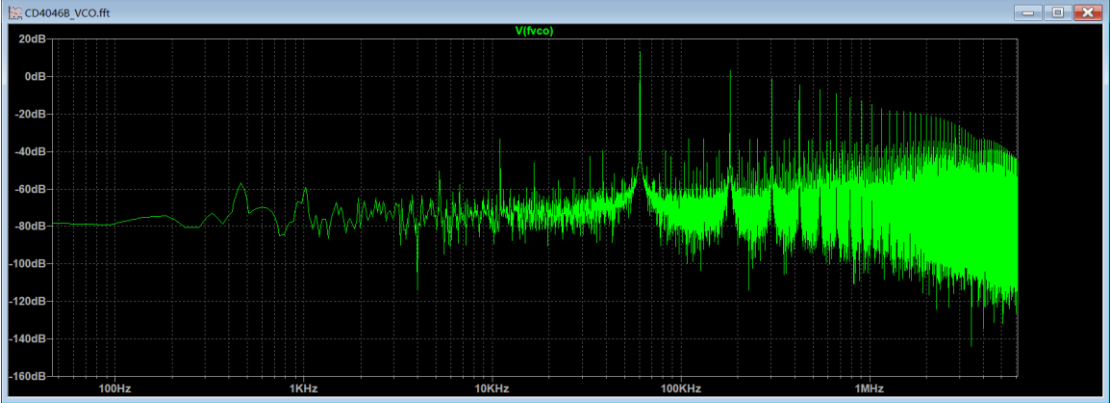
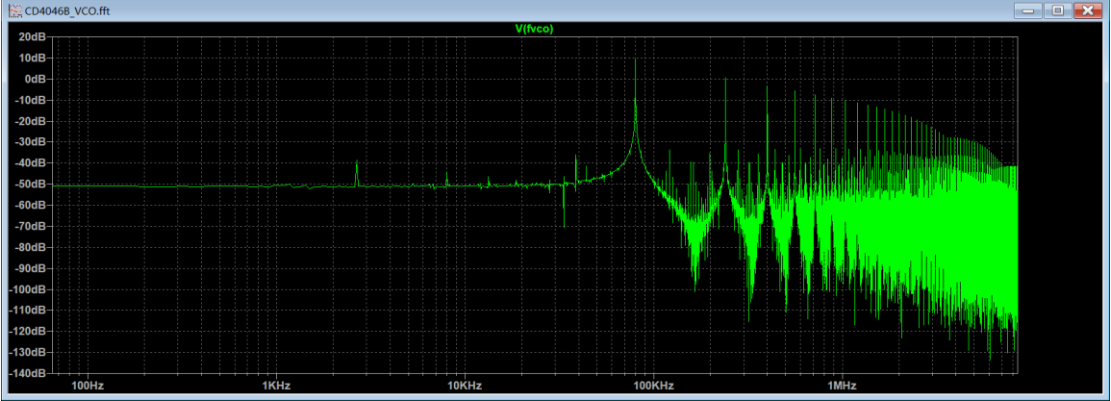
- VCO without frequency offset (R2 = ∞).
 - Given f_o : use f_o with Fig.7 to determine R1 and C1.
 - Given f_{max} : calculate f_o from $f_o = \frac{1}{2} f_{max}$; use f_o with Fig.7 to determine R1 and C1.
- VCO with frequency offset.
 - Given f_o and f_L : calculate f_{min} from the equation $f_{min} = f_o - f_L$; use f_{min} with Fig.8 to determine R2 and C1; calculate $\frac{f_{max}}{f_{min}}$ from the equation $\frac{f_{max}}{f_{min}} = \frac{f_o + f_L}{f_o - f_L}$; use $\frac{f_{max}}{f_{min}}$ with Fig. 9 to determine the ratio R2/R1 to obtain R1.
 - Given f_{min} and f_{max} : use f_{min} with Fig.8 to determine R2 and C1; calculate $\frac{f_{max}}{f_{min}}$; use $\frac{f_{max}}{f_{min}}$ with Fig.9 to determine R2/R1 to obtain R1.

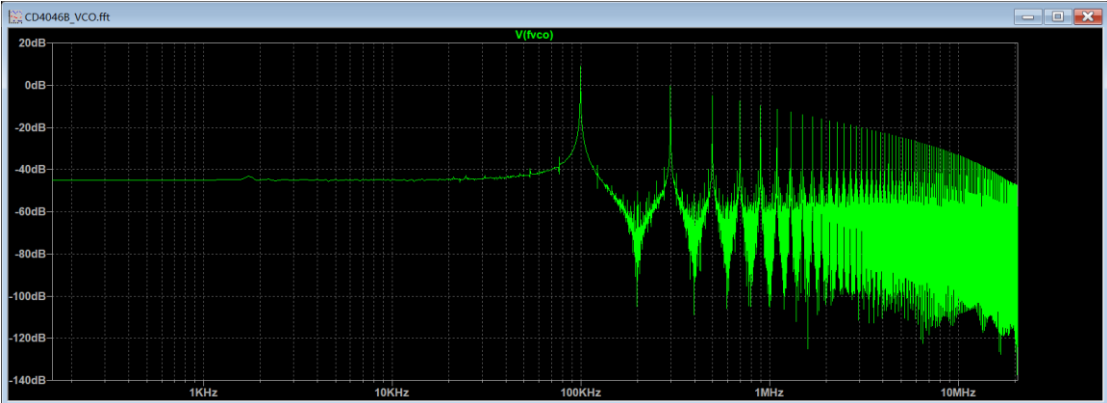
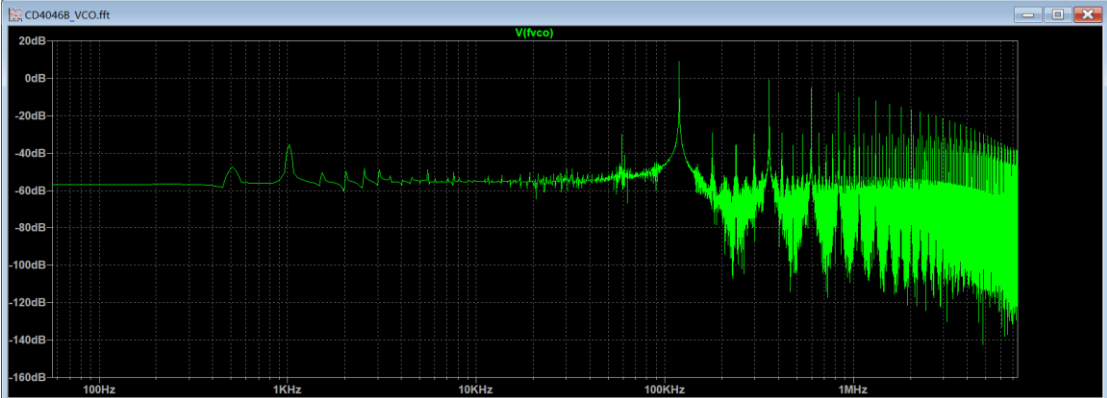
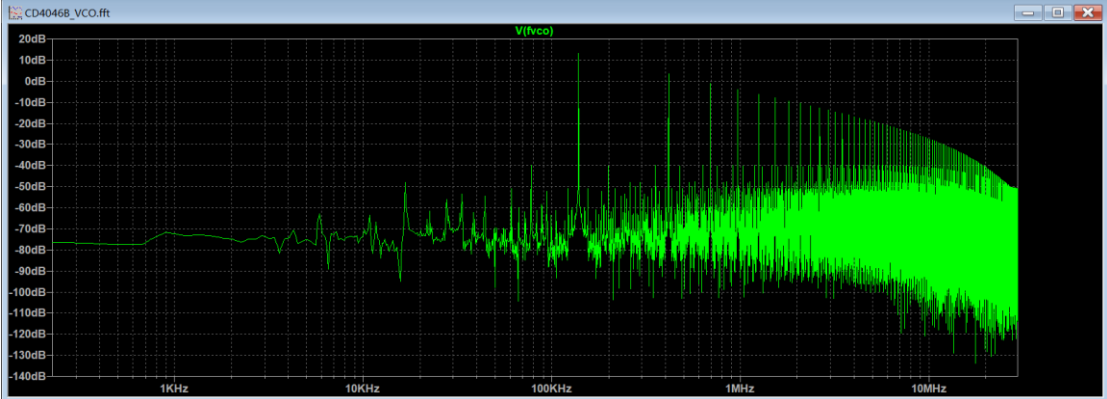
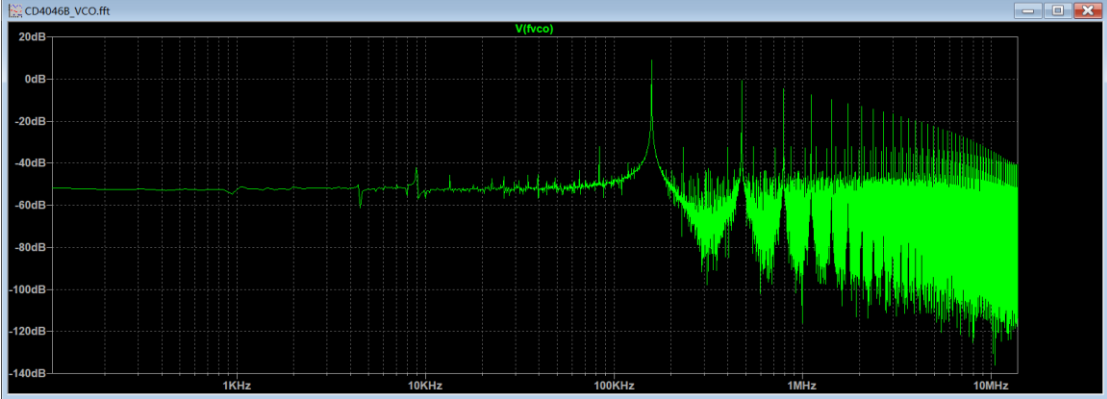
Figure 2

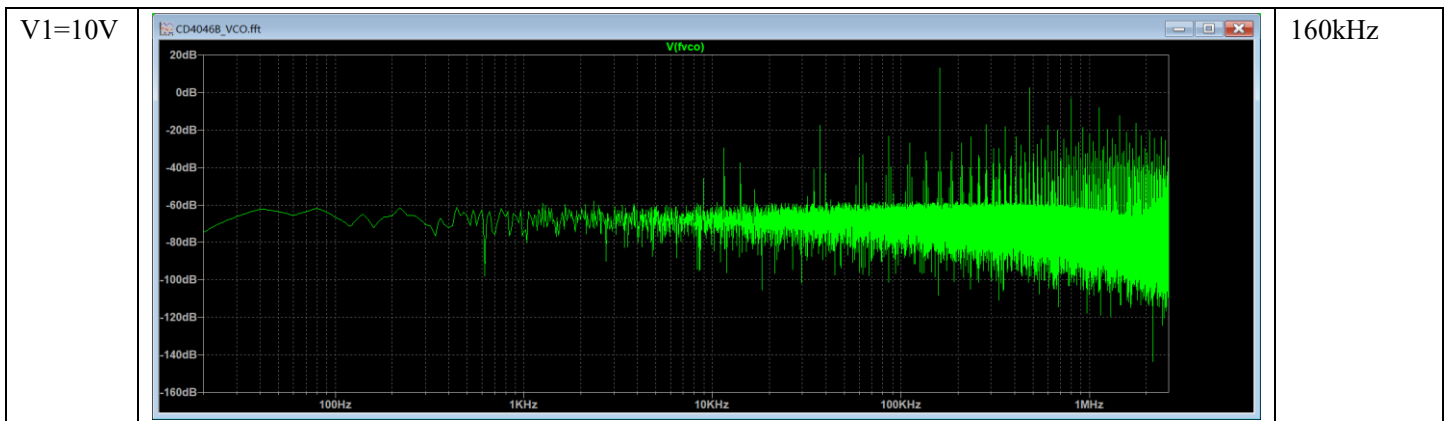
2. Introduire les valeurs obtenues de fmin et fmax dans les caractéristiques du modèle LTSpice de la PLL CD4046B (fichier de simulation "CD4046B VCO.asc"), et vérifier le bon fonctionnement de la simulation du VCO en relevant sa caractéristique. On prendra pour la tension d'entrée V1 des valeurs de 0 à 10 V par pas de 1 V. On mesurera la fréquence du signal fvco en sortie du VCO en utilisant la fonction FFT de LTSpice.

On peut voir la relation entre V1 et fréquence sortie du VCO sur le tableau pour la tension d'entrée V1 des valeurs de 0 à 10 V par pas de 1 V.

V1	Figure de la fréquence du signal fvco en sortie du VCO	Fréquence de sortie
V1=0V		0Hz
V1=1V		1.9kHz

V1=2V		23Hz
V1=3V		41Hz
V1=4V		61kHz
V1=5V		80.1kHz

<p>V1=6V</p>		<p>99</p>
<p>V1=7V</p>		<p>120kHz</p>
<p>V1=8V</p>		<p>140kHz</p>
<p>V1=9V</p>		<p>160kHz</p>



On peut voir que la fréquence de sortie du VCO est entre [0,160kHz], c'est à dire que entre la fréquence minimal et maximal. On peut tracer le plan pour vérifier la relation entre f_{VCO} et $V1$:

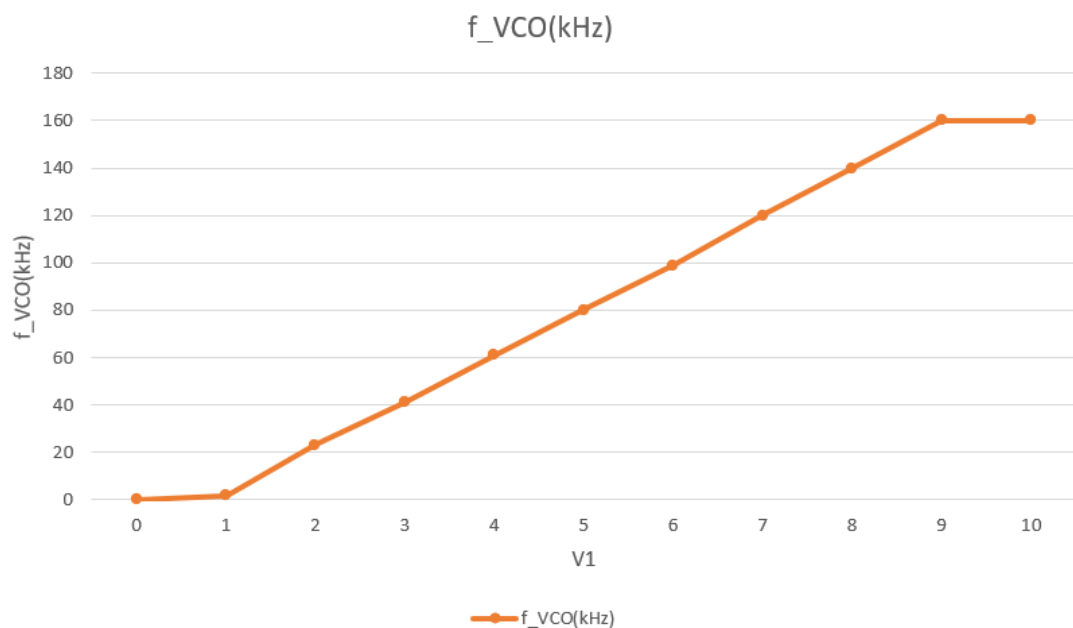


Figure 3 la relation entre f_{VCO} et $V1$

Donc on peut dire que f_{VCO} et $V1$ est lineaire quand $V1$ est entre [1V, 9V]. On peut simuler la fonction comme :

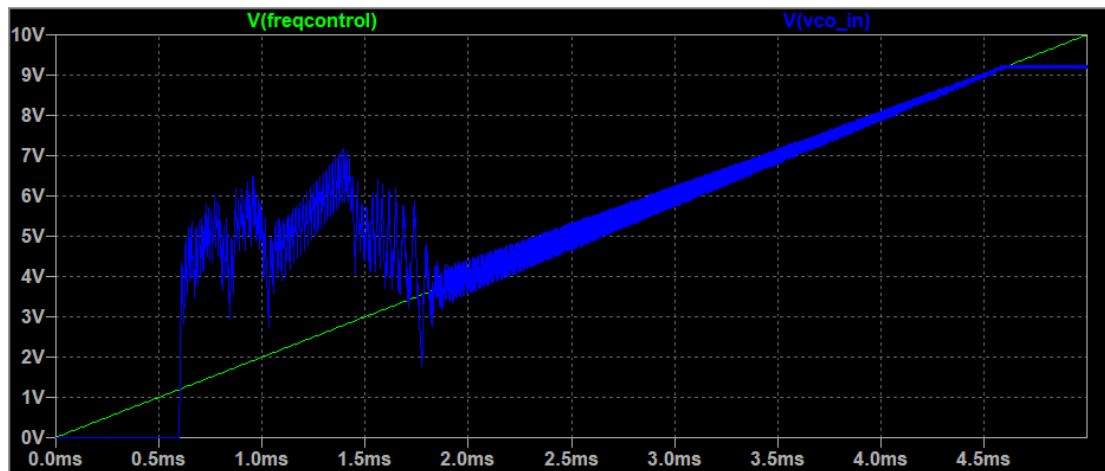
$$f_{VCO} = 19.76 \times V_1 - 17.85$$

2 Mesure des plages de capture et de verrouillage

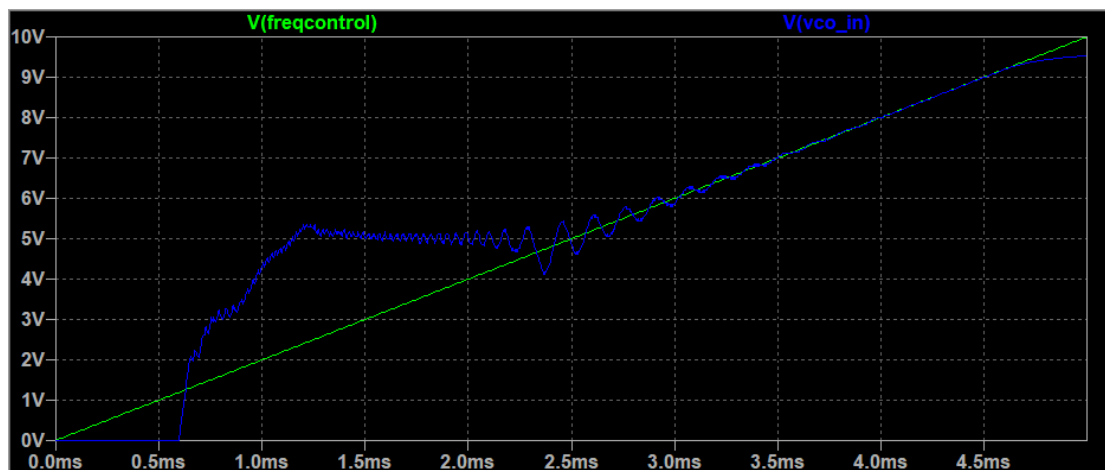
3. Dans le fichier de simulation "CD4046B sweep croissant.asc" réaliser la simulation pour les deux comparateurs et pour les deux valeurs de la capacité $C2 = 10 \text{ nF}$ et 100 nF (la simulation

est assez longue). Afficher dans la fenêtre graphique $V(\text{freqcontrol})$ et $V(\text{vco_in})$. Exporter les données au format texte (clic droit sur la figure puis File → Export data as text).

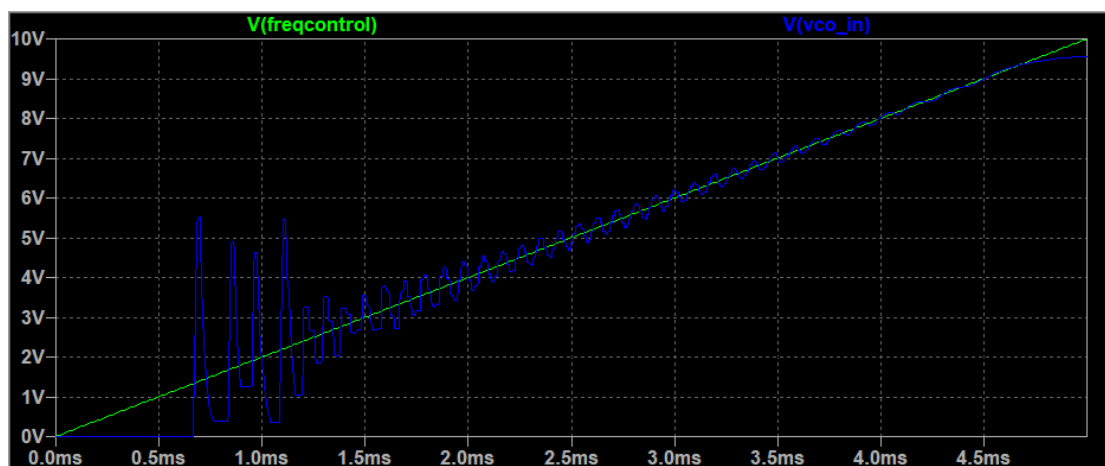
Quand on utilise compateur 1 le OU EXCLUSIF et $C_2=10\text{nF}$, on a la figure :



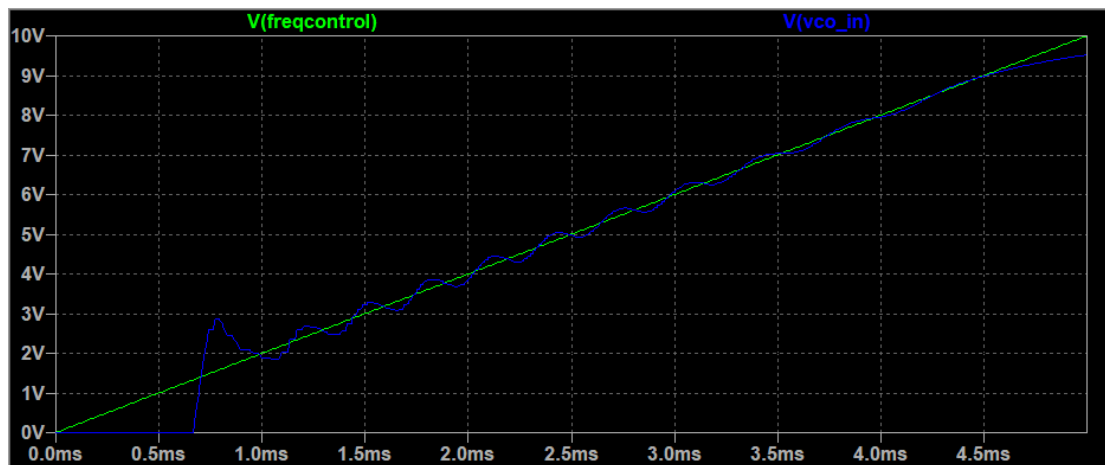
Quand on utilise compateur 1 le OU EXCLUSIF et $C_2=100\text{nF}$, on a la figure :



Quand on utilise compateur 2 à logique séquentielle et $C_2=10\text{nF}$, on a la figure :



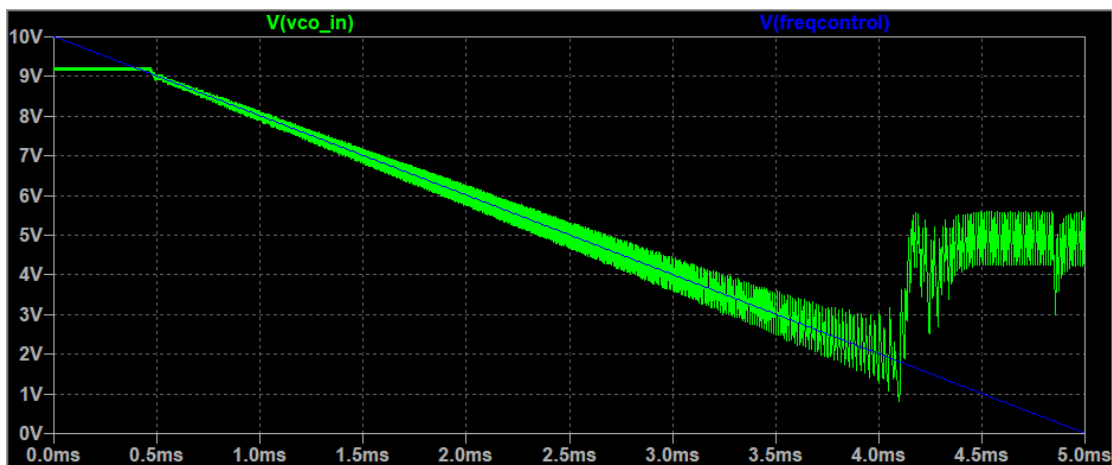
Quand on utilise compateur 2 à logique séquentielle et $C_2=100\text{nF}$, on a la figure :



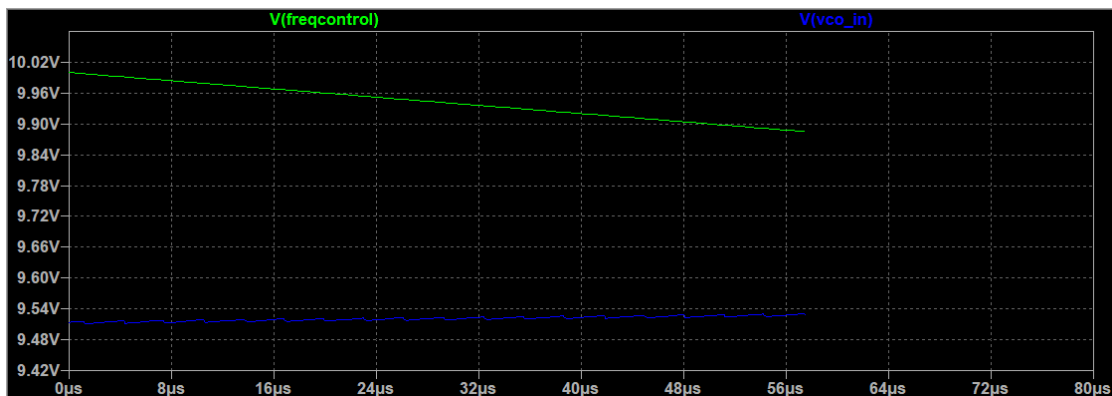
Ensuite, je Exporte les données au format texte dans 4 files.

4. Refaire les memes simulations pour un sweep décroissant en utilisant le fichier de simulation "CD4046B sweep decroissant.asc". Exporter à nouveau les données au format texte.

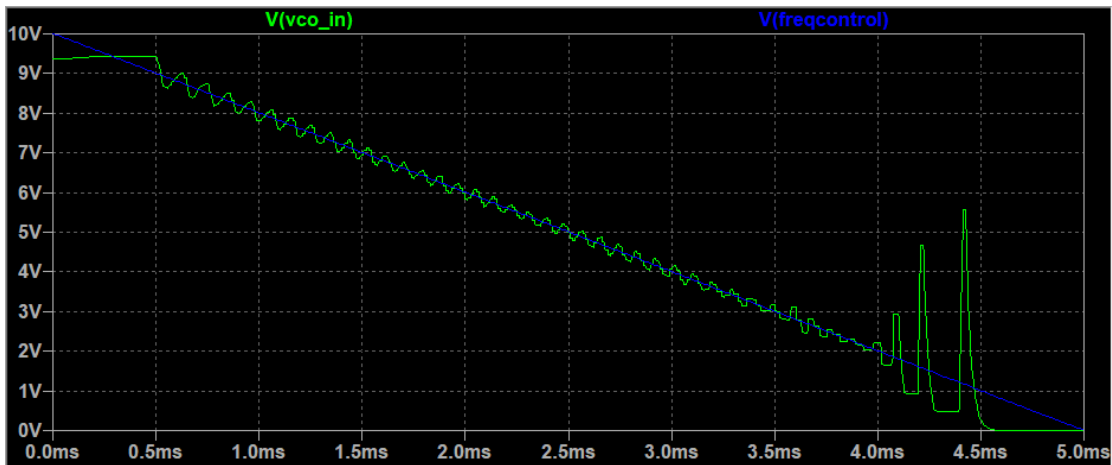
Quand on utilise compateur 1 à logique séquentielle et $C_2=10\text{nF}$, on a la figure :



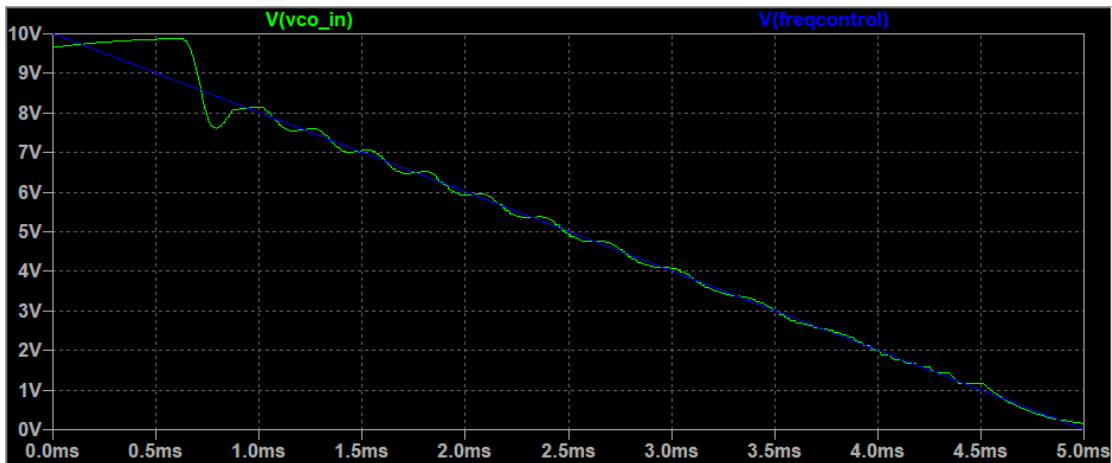
Quand on utilise compateur 1 à logique séquentielle et $C_2=100\text{nF}$, on a la figure :



Quand on utilise compateur 2 à logique séquentielle et $C_2=10nF$, on a la figure :



Quand on utilise compateur 2 à logique séquentielle et $C_2=100nF$, on a la figure :



Ensuite, je Exporte les données au format texte dans 4 files.

5. Importer les données enregistrées au format texte sous Excel (ou tout autre logiciel permettant de traiter de données). A l'aide de la caractéristique du VCO obtenue dans la partie 1, tracer pour chacun des 4 cas traités la courbe d'hystérésis f_s (en sortie du VCO) en fonction de f_e (fréquence du signal d'entrée). En déduire les plages de capture et de verrouillage de la PLL pour chacun des cas.

D'après la question 1.2 de cette fiche, on sait que :

$$f_{VCO} = 19.76 \times V_1 - 17.85$$

Dans cette question on peut dire que :

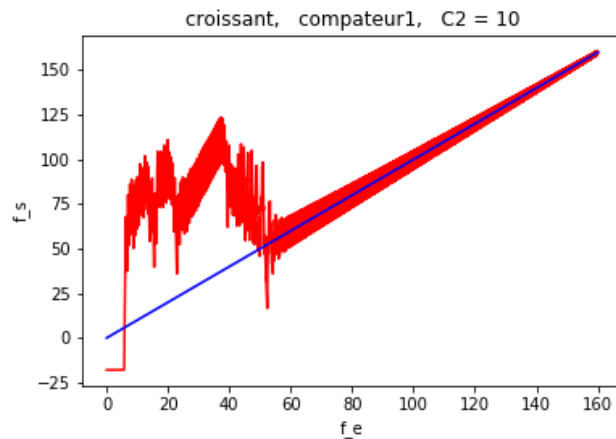
$$f_e = f_{ref} = 19.76 \times V_{freqcontrol} - 17.85$$

$$f_s = f_{VCO} = 19.76 \times V_{VCOin} - 17.85$$

Donc on draw les figure par PYTHON. On soit que f_e est toujours entre $[0,160]$ kHz, parce que dans question 1.2 on sait que V_1 et f sont linéaire si V_1 est entre $[1V,9V]$.

(1) Pour un sweep croissant, quand on utilise compateur 1 à logique séquentielle et $C_2=10nF$,

la courbe d'hystérésis f_s en fonction de f_e est comme la figure :

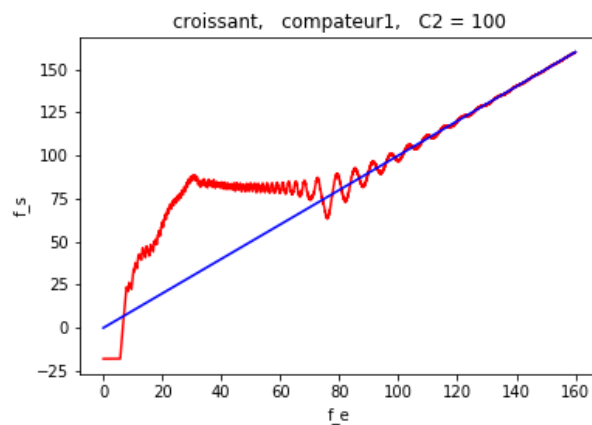


La plage de capture est

La plage de verrouillage est

(2) Pour un sweep croissant, quand on utilise compateur 1 à logique séquentielle et C_2

$=100nF$, la courbe d'hystérésis f_s en fonction de f_e est comme la figure :

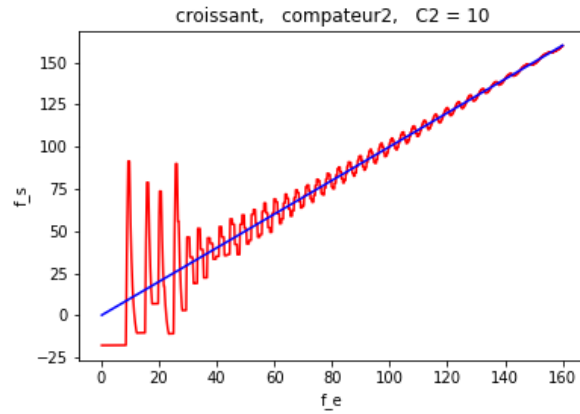


La plage de capture est

La plage de verrouillage est

(3) Pour un sweep croissant, quand on utilise compateur 2 à logique séquentielle et $C_2=10nF$,

la courbe d'hystérésis f_s en fonction de f_e est comme la figure :

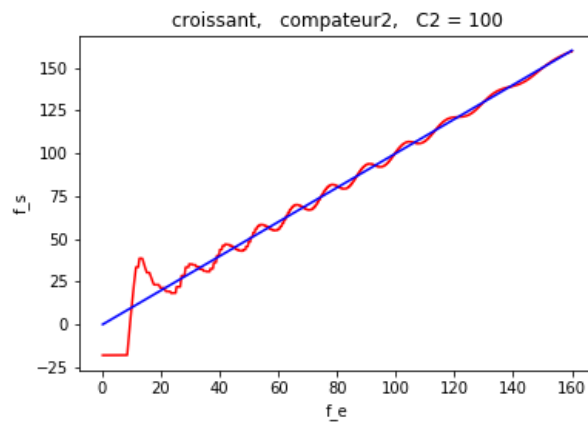


La plage de capture est

La plage de verrouillage est

(4) Pour un sweep croissant, quand on utilise compateur 2 à logique séquentielle et C_2

=100nF, la courbe d'hystérésis f_s en fonction de f_e est comme la figure :

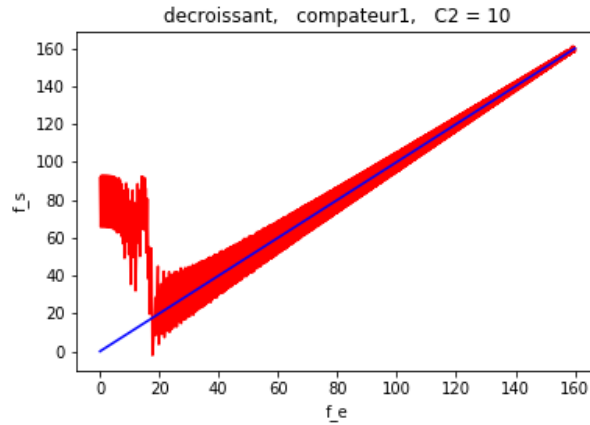


La plage de capture est

La plage de verrouillage est

(5) Pour un sweep décroissant, quand on utilise compateur 1 à logique séquentielle et C_2

=10nF, la courbe d'hystérésis f_s en fonction de f_e est comme la figure :

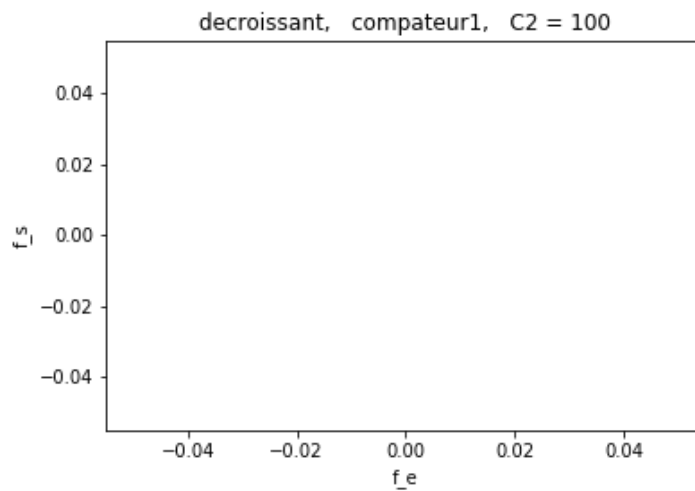


La plage de capture est

La plage de verrouillage est

(6) Pour un sweep décroissant, quand on utilise compateur 1 à logique séquentielle et C_2

=100nF, la courbe d'hystérésis f_s en fonction de f_e est comme la figure :

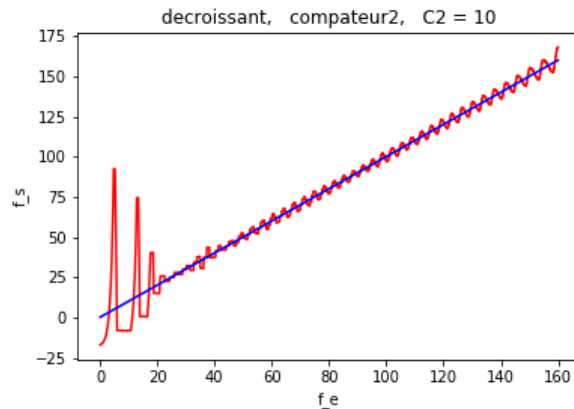


La plage de capture est

La plage de verrouillage est

(7) Pour un sweep décroissant, quand on utilise compateur 2 à logique séquentielle et C_2

=10nF, la courbe d'hystérésis f_s en fonction de f_e est comme la figure :

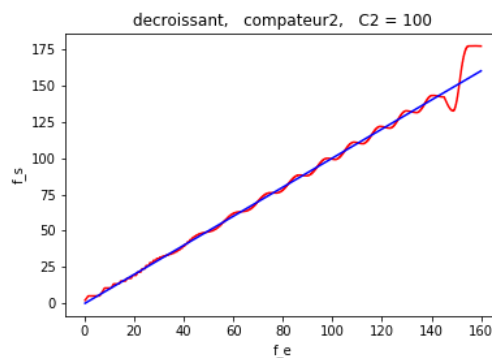


La plage de capture est

La plage de verrouillage est

(8) Pour un sweep décroissant, quand on utilise compateur 2 à logique séquentielle et C_2

=100nF, la courbe d'hystérésis f_s en fonction de f_e est comme la figure :



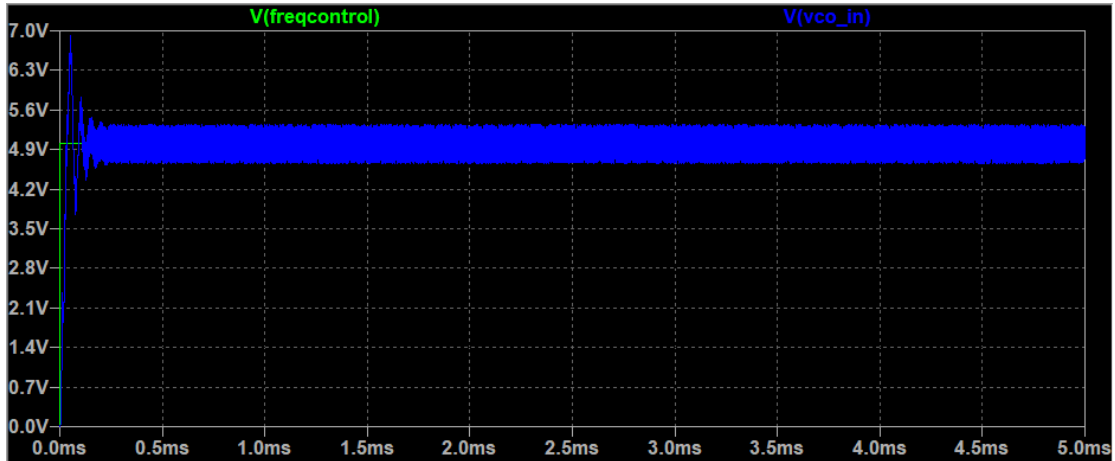
Donc on na le tableau pour la plage de capture et la plage de verrouillage :

	Plage de capture(kHz)	Plage de verrouillage(kHz)
Comapareteur 1; $C_2=10\text{nF}$	[50,160]	[18,160]
Comapareteur 1; $C_2=10\text{nF}$	-	[70,160]
Comapareteur 1; $C_2=10\text{nF}$	[30,160]	[20,160]
Comapareteur 1; $C_2=10\text{nF}$	[20,140]	[0,160]

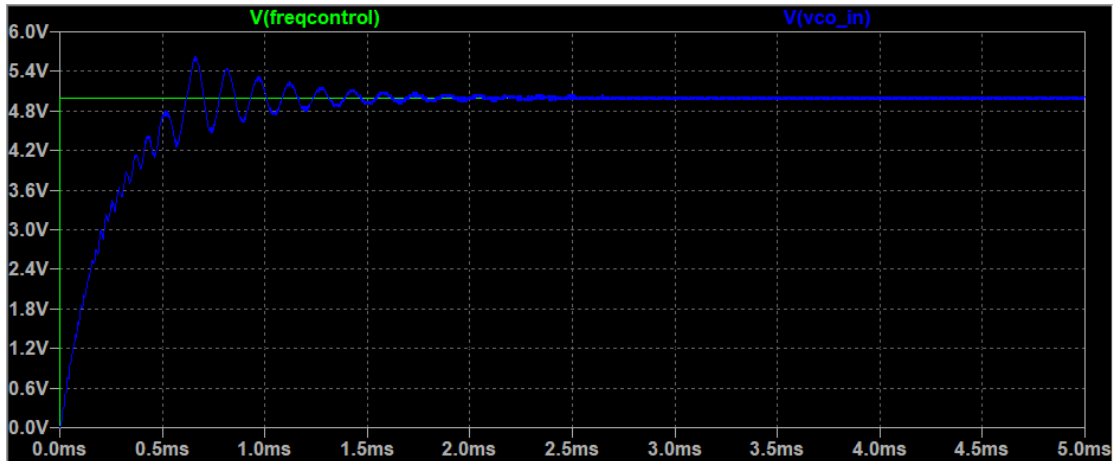
3 Réponse de la PLL à un échelon

1. Dans le fichier de simulation "CD4046B echelon.asc" réaliser la simulation pour les deux comparateurs et pour les deux valeurs de la capacité $C_2 = 10 \text{ nF}$ et 100 nF . Afficher dans la fenetre graphique V(freqcontrol) et V(vco in).

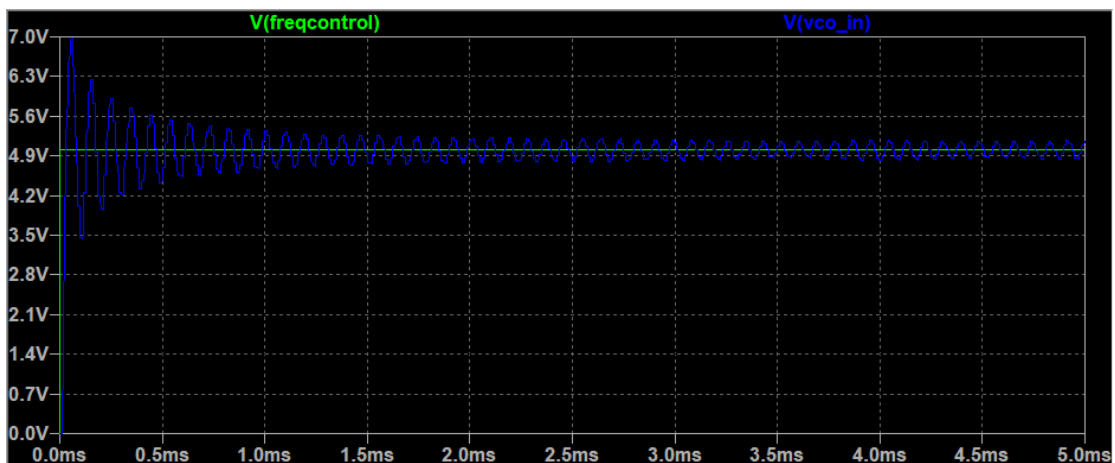
Quand on utilise compateur 1 à logique séquentielle et $C_2 = 10\text{nF}$, on a la figure :



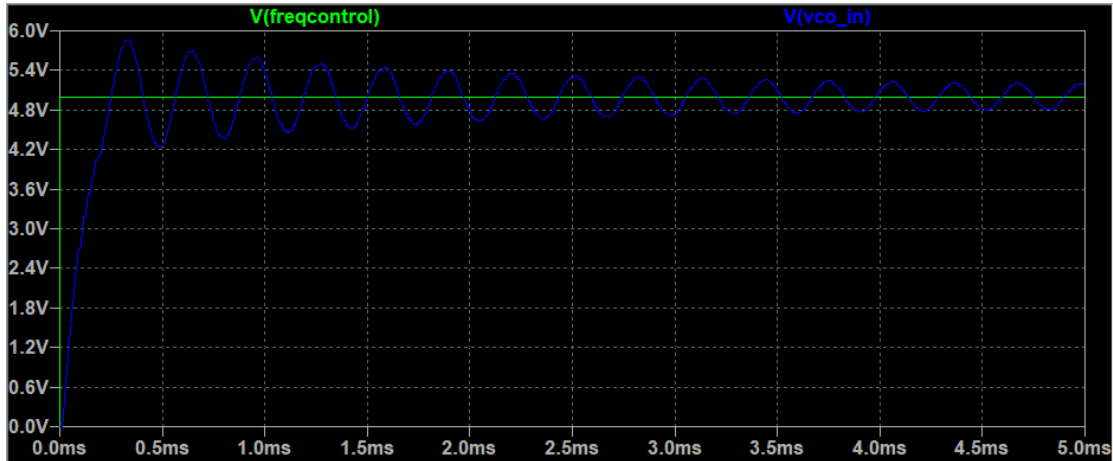
Quand on utilise compateur 1 à logique séquentielle et $C_2=100\text{nF}$, on a la figure :



Quand on utilise compateur 2 à logique séquentielle et $C_2=10\text{nF}$, on a la figure :

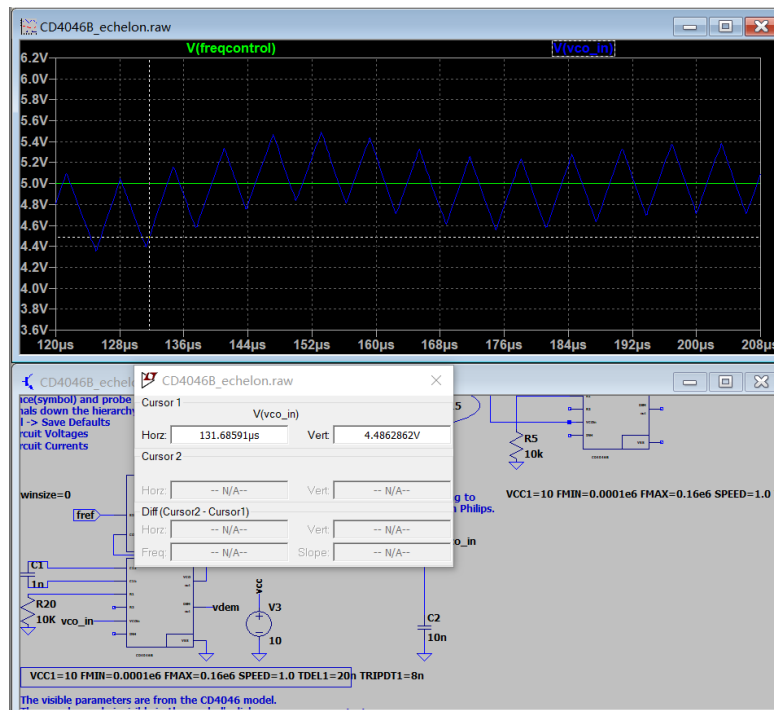


Quand on utilise compateur 2 à logique séquentielle et $C_2=100\text{nF}$, on a la figure :

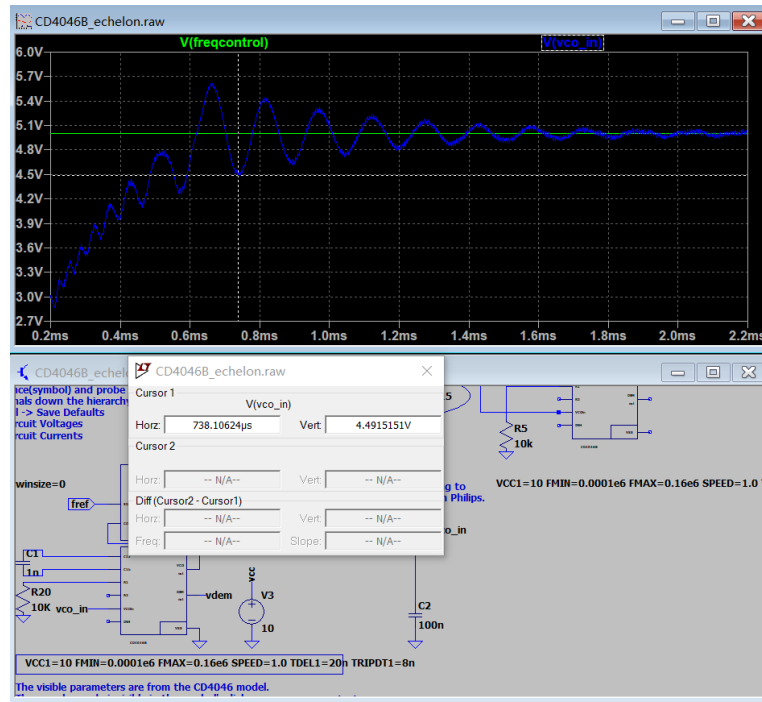


2. Mesurer sur V(vco in), pour chacun des cas traités, le temps nécessaire pour atteindre 90% de la valeur de V(freqcontrol).

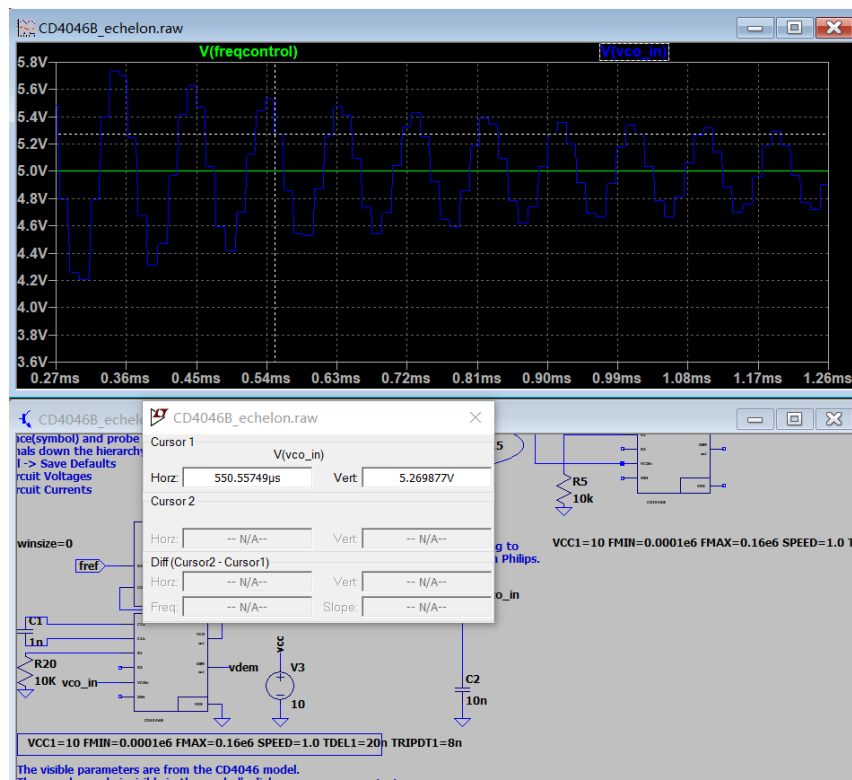
Quand on utilise compateur 1 à logique séquentielle et $C_2=10\text{nF}$, le temps nécessaire pour atteindre 90% est $131.68\ \mu\text{s}$:



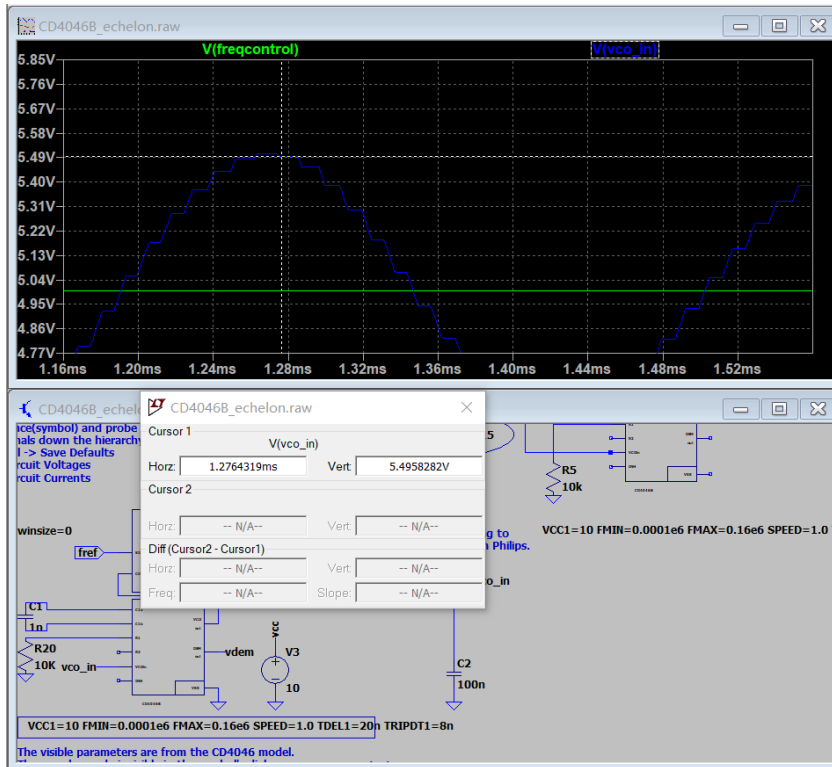
Quand on utilise compateur 1 à logique séquentielle et $C_2=100\text{nF}$, le temps nécessaire pour atteindre 90% est $738.11\ \mu\text{s}$:



Quand on utilise compateur 2 à logique séquentielle et $C_2=10\text{nF}$, le temps nécessaire pour atteindre 90% est 550.56 µs :



Quand on utilise compateur 2 à logique séquentielle et $C_2=100\text{nF}$, le temps nécessaire pour atteindre 90% est 1.27ms:



3. Comparer les résultats obtenus à la question précédente aux temps caractéristiques des filtres utilisés.

D'après le PPT de cours, on sait que la réponse d'une PPL est comme $H_0(p) = \frac{K_d K_0 F(p)}{p}$.

Pour RC filtre, on a $H_0(p) = \frac{K_0 K_d}{p(1 + \tau p)}$ et $\tau = RC$. Donc on a :

$$H(p) = \frac{1}{1 + 2z \frac{p}{\omega_0} + \frac{p^2}{\omega_0^2}}$$

$$\text{Ici, } \omega_0 = \sqrt{\frac{K_d K_0}{\tau}}, \quad z = \frac{1}{2\sqrt{K_d K_0 \tau}}.$$

Le temps nécessaire pour atteindre n% égal :

$$t_{r_n\%} \approx \frac{1}{z\omega_n} \ln \frac{100}{n} \quad (z < 0.7)$$

Les équations nous présentent que quand C_2 augmente, on a τ augmente et ω_0 diminue donc $t_{r_n\%}$ augmente. Il est les meme résultats que les résultats obtenus à la question précédente.